École doctorale de l'École polytechnique
Physique et technologie des grands instruments

THESE

de

M Clément Jauffret

Ingénieur de l'ENSEEIHT
DEA Conception de Circuits Microélectroniques et Microsystèmes
Université Paul Sabatier

en vue de l'obtention du diplôme de
DOCTEUR DE L'ÉCOLE POLYTECHNIQUE
en sciences physiques

Étude de l'électronique d'acquisition, de compression et de transfert des données pour un nouveau concept de calorimétrie en physique des hautes énergies

Cette thèse a été soutenue le 22 Décembre 2008
Le jury était constitué de

M. J-F. Genat	Rapporteur
M. F. Sefkow	Rapporteur
M. Y. Bonnassieu	Examinateur
Pr. I. Laktineh	Examinateur
M. V. Boudry	Examinateur
M. F. Moreau	Directeur de thèse
	Président du jury

Résumé

Cette thèse présente le développement d'une électronique de lecture et de traitement des signaux d'un calorimètre hadronique semi—digital dans le cadre d'un vaste programme de recherche et développement de détecteurs pour un futur collisionneur linéaire.

Il a été montré que des tailles de cellule de lecture de l'ordre du centimètre alliées à une électronique possédant 2 ou 3 seuils semblent suffisants pour acquérir la résolution en énergie souhaitée pour les études de physique envisagées. C'est le principe de la calorimétrie semi–digitale. Cela implique d'avoir environ 38 millions de canaux d'acquisition, avec une électronique située au sein du détecteur.

Après avoir établi un cahier des charges de l'électronique, un prototype adéquat est présenté, ainsi que sa réalisation. Il comprend une carte d'électronique un peu particulière puisqu'elle fait partie intégrante de la cellule de détection. Elle utilise un circuit intégré spécifique (ASIC) ainsi qu'un composant programmable réalisant la lecture des ASICs et l'interface avec un ordinateur par l'USB. L'ensemble des tests de ce prototype sont présentés, ainsi que les performances mesurées. Ce prototype a fonctionné de manière satisfaisante lors de tests avec de particules cosmiques et des faisceaux de particules. Des résultats préliminaires des différentes prises de données sont présentés.

Remerciements

Je tiens d'abord à remercier l'ensemble des personnes qui m'ont entouré lors de mon travail, pour leur présence et leurs encouragements, leur aide scientifique et logistique.

Merci à MM. Jean-François Genat et Felix Sefkow d'avoir accepté de rapporter mon travail, pour la précision de leurs remarques et leurs compliments qui m'ont énormément touché.

Je remercie M. Akli Karar, pour son soutien depuis le début de ma présence au LLR [1], à qui je dois beaucoup, depuis mon accueil et intégration, en passant par de longues explications pour satisfaire ma curiosité scientifique. Ses idées qui ont mené à la réalisation de ce projet et je lui dois la possibilité qui m'a été donnée d'y participer dans de bonnes conditions.

Ma reconnaissance et mon admiration vont à M. Vincent Boudry pour son soutien à des moments difficiles, sa disponibilité et ses réponses toujours justes. Mes connaissances se sont grandement accrues à son contact.

Je remercie M. François Moreau pour avoir accepté de diriger ma thèse, pour son soutien, son encadrement et sa disponibilité.

Merci à M. Jean–Charles Vanel pour son aide et son soutien au moment de la soutenance.

J'adresse de chalheureux remerciements à l'ensemble de l'équipe d'électronique du LLR au sein de laquelle j'ai effectué mon travail, qui m'ont soutenu, et dont j'ai profité des connaissances techniques. Ils ont grandement contribué à ce travail et leur contact m'a été d'un grand plaisir. Je pense à MM. Yannick Geerebaert, Remi Cornat, Eric Beyer, Alain Debraine, Franck Gastaldi, Antoine Mathieu, Michel Bercher.

Un grand merci à M. Simon Chollet pour son aide et son soutien, particulièrement sur la partie informatique de mon travail.

Merci à M^{lle} Emilie Fragu pour son accompagnement, sa clairvoyance, la justesse de ses idées ainsi que sa patience. Elle a vécu cette période à mes côtés avec probablement auntant d'intensité que moi.

Merci à M^{lle} Anne Fauroux pour son soutien lors de périodes difficiles.

Merci à M. Maxime Gouzevitch pour ses encouragements, M. Marcel Reinhardt pour sa sympathie, M. Maurice Haguenauer pour son attention et M. Hamid Khaled pour son aide logistique.

Merci enfin à MM. Guillaume Nonne et Alexis Vigouroux pour leur soutien.

Je ne saurais oublier ma mère, mon père, mes frères et ma soeur, qui sont toujours présents pour moi.

1. **L**aboratoire **L**eprince **R**inguet : laboratoire commun à l'IN_2P_3 et à l'école polytechnique.

Je tiens enfin à signaler que mon travail a été financé par un contrat européen EUDET [2].

2. **EU**ropean **DET**ector : projet dont l'organisation est parrainée par l'union européenne qui le finance.

Sommaire

Résumé iii

Remerciements v

Sommaire vii

Introduction 1

1 Le collisionneur linéaire 3

2 Électronique du calorimètre hadronique semi–digital 25

3 Tests et mise en œuvre de la carte DHCAL1 69

Conclusion 105

Annexes

A Documents 107

B Descriptif technique du microprogramme de la carte DHCAL1 113

Bibliographie 141

Liens internet 145

Table des figures 147

Liste des tableaux 153

Table des matières 155

Glossaire 159

Acronymes 165

Introduction

Cette thèse présente le développement d'une électronique de lecture et de traitement des signaux d'un calorimètre hadronique semi–digital dans le cadre d'un vaste programme de recherche et développement de détecteurs pour un futur collisionneur linéaire.

En physique des particules, on appelle calorimètre un détecteur qui mesure l'énergie des particules. Celles–ci interagissent avec la matière en y déposant leur énergie. Ce dépôt d'énergie se retrouve sous la forme de photons (proche visible, ultraviolet) ou électrons dits électrons d'ionisation. Dans les deux cas, ce « signal » du détecteur est alors transformé en signal électrique. En général, on cherche à ce que la réponse du milieu soit proportionnelle à l'énergie déposée et à produire un signal électrique lui–même proportionnel à la réponse du milieu. En fait, un calorimètre en physique des particules étant un ensemble de cellules indépendantes dans lesquelles la particule va perdre une fraction de son énergie, l'énergie totale sera reconstruite en faisant la somme des réponses linéaires de toutes les cellules touchées.

La calorimétrie semi–digitale est un nouveau concept qui consiste à mesurer l'énergie des particules en comptant seulement le **nombre de cellules** touchées dans le calorimètre. À chaque cellule sont associés deux ou trois seuils de comparaison de la hauteur du signal électrique, la définition d'une cellule touchée dépendant du seuil choisi et de sa valeur.

Ce document présente la conception et la réalisation d'un prototype d'électronique de lecture à associer à un tel calorimètre semi–digital.

Le premier chapitre est essentiellement un chapitre d'introduction au travail présenté. La sous–section 1.1.1 introduit brièvement le collisionneur linéaire ILC [3]. En section 1.2, nous abordons le concept de détecteur pour l'ILC appelé ILD [4], en vue duquel les développements décrits dans cette thèse sont effectués. La section 1.3 décrit des prototypes de calorimètres électromagnétique et hadronique actuellement étudiés pour l'ILD. Dans la dernière section (1.4) sont détaillés les principes de la calorimétrie semi–digitale (sous–section 1.4.1) puis deux types de cellules à l'étude pour la réalisation d'un tel calorimètre hadronique (DHCAL [5]).

Le deuxième chapitre, qui constitue le coeur de cette thèse, détaille les développements de l'électronique de lecture proprement dits. La section 2.1 décrit les contraintes les plus importantes pour l'électronique à réaliser. Cette dernière a nécessité le développement d'un circuit intégré spécifique (ASIC [6]), décrit en section 2.2, et d'une carte incluant quatre de ces circuits ainsi qu'un composant programmable pour effectuer leur pilotage (section 2.3).

3. **I**nternational **L**inear **C**ollider : projet international de collisionneur linéaire.
4. **I**nternational **L**arge **D**etector concept : cf. 1.2.
5. **D**igital **HCAL** : calorimètre hadronique digital.
6. **A**pplication **S**pecific **I**ntegrated **C**ircuit : circuit intégré pour application spécifique.

La schématique de cette carte est détaillée en 2.3.2, le microprogramme du composant qui pilote les ASICs en 2.3.4. Le transfert des données depuis les ASICs vers un ordinateur a nécessité des développements logiciels. Ceux–ci sont décrits en 2.4.

Le dernier chapitre expose les différents tests de cette électronique. Dans la section 3.1, la performance de détection des ASICs en terme de détection de signal est discutée. Une fois ces performances caractérisées, plusieurs de ces cartes ont été installées sur des cellules de lecture pour former un prototype de calorimètre hadronique semi–digital, mais sans absorbeur. Les tests en rayons cosmiques (section 3.2) de ce prototype ont permis de mesurer son efficacité et sa multiplicité, ainsi que de tester notre électronique en conditions réelles. Enfin, nous présentons dans la section 3.3 quelques résultats de tests en faisceau de particules, avec l'utilisation de matériau absorbeur entre les cellules.

Chapitre 1

Le collisionneur linéaire

L'ILC est un projet de futur collisionneur linéaire électrons/positrons [1]. Nous commençons (section 1.1) par décrire ce projet avec, dans une premier temps, l'origine du besoin pour un tel outil ainsi que le type de physique qui devrait y être effectuée (sous–section 1.1.1) et dans un deuxième temps, son calendrier de réalisation et les différentes possibilités encore à l'étude (sous–section 1.1.2).

Différents concepts de détecteurs sont proposés pour l'ILC. Notre travail s'effectue dans le cadre des développements sur l'un d'entre eux nommé ILD (cf. 1.2). Après avoir décrit le format général d'un détecteur de physique des particules avec la présentation de ses différents sous–détecteurs (sous–section 1.2.1), nous montrons les particularités qu'aurait le détecteur ILD (1.2.2).

La section suivante (cf. 1.3) traite de la calorimétrie. Ses principes généraux sont tout d'abord énoncés (sous–section 1.3.1), puis est introduit le concept d'Energy flow [2] (en 1.3.2) qui dicte les contraintes qui s'opèrent sur la réalisation d'un calorimètre selon la physique qu'il doit permettre d'effectuer. Cette technique est illustrée à travers deux exemples que représentent les calorimètres électromagnétique (ECAL [3]) et hadronique « analogique » (AHCAL [4]) à l'étude pour l'ILD dans le cadre de la collaboration CALICE [5] (sous–sections 1.3.3 et 1.3.4).

Enfin, nous introduisons le concept de calorimétrie hadronique digitale (DHCAL, sous–section 1.4.1) et les performances qu'il doit à–priori pouvoir atteindre, ainsi que les deux types de détecteurs à l'étude pour la réalisation d'un tel calorimètre (sous–section 1.4.2).

1. positron : antiparticule de l'électron.
2. energy flow : procédé de conception en calorimétrie qui consiste à maximiser la résolution en énergie d'un calorimètre afin de pouvoir séparer les traces des particules par leur énergie.
3. **E**lectromagnetic **CAL**orimeter : calorimètre électromagnétique.
4. **A**nalog **HCAL** : calorimètre hadronique analogique.
5. **CAL**orimeter for the **LI**near **C**ollider **E**xperiment : cf. .

1.1 Le collisionneur linéaire et sa physique

1.1.1 Introduction à l'ILC

Le LHC [6], situé au CERN [7], est un accélérateur qui est aujourd'hui (décembre 2008) sur le point de démarrer. Cette machine a été conçue entre autres dans le but de découvrir le boson [8] de Higgs [9]. Cette recherche est aussi poursuivie actuellement auprès du TeVatron [10] situé au FermiLab [11]. Nous indiquons certaines caractéristiques de ces deux accélérateurs sur la figure 1.1, comme le fait qu'on y effectue des collisions proton sur proton dans le premier et proton sur antiproton [12] dans le deuxième. Chacune de ces particules est un

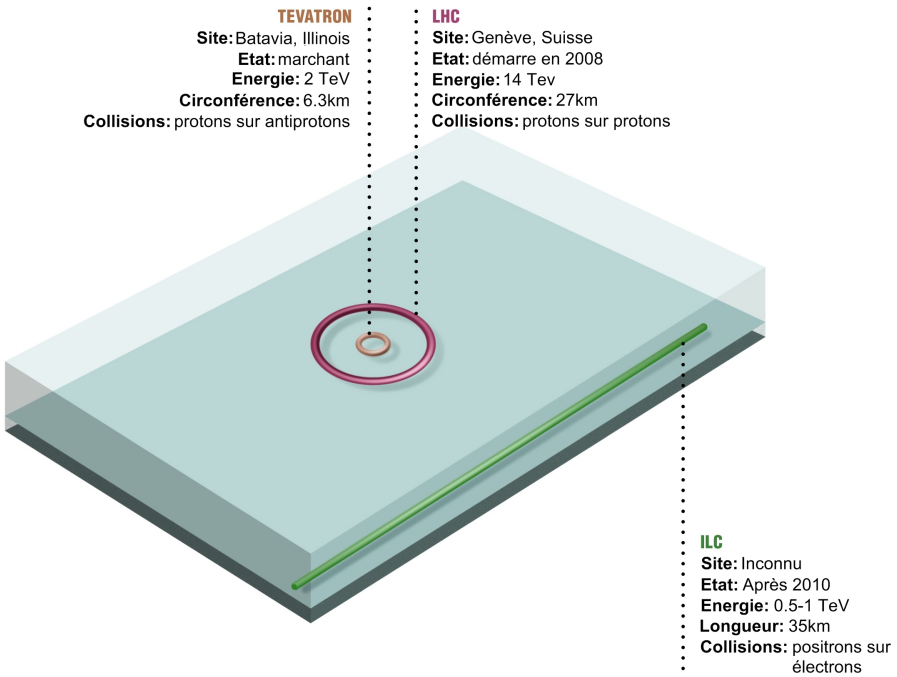


FIGURE 1.1 – *Comparaison entre l'ILC, le LHC et le TeVatron.*

hadron [13], constitué de quarks [14] et de gluons [15]. La production du boson de Higgs sera donc en fait le résultat de collisions entre ces constituants. La production d'une grande quantité

6. **L**arge **H**adron **C**ollider : collisionneur circulaire protons/antiprotons au CERN à Genève.

7. laboratoire européen de physique des particules à Genève contenant le LHC (originellement **C**onseil **E**uropéen pour la **R**echerche **N**ucléaire).

8. boson : particule de spin entier, qui n'obéit pas au principe d'exclusion de Pauli. les particules associées aux interactions fondamentales sont des bosons. Egalement celles avec un nombre pair de quarks.

9. Higgs : le boson de Higgs est une particule hypothétique qui tient son nom du physicien Peter HIGGS. Son existence est prévue par le modèle standard qui décrit comment chaque particule acquérerait sa masse du champ de Higgs associé. Ce champ serait présent en tout point de l'espace et même dans le vide.

10. **T**era **e**lectron **V**olt **a**ccelerator synchro**tron** : collisionneur circulaire protons/antiprotons le plus puissant au monde avant la construction du LHC, situé au FermiLab.

11. **Fermi** national accelerator **Lab**oratory : cf. FNAL.

12. antiproton : antiparticule du proton.

13. hadron : particule sensible à l'interaction forte, composée de quarks et de gluons dans le modèle standard.

14. quark : élément unitaire de la matière avec les leptons, sensible aux interactions forte, faible et électromagnétique.

15. gluon : particule porteuse de l'interaction forte, il en existe 8 espèces.

de particules (pion [16], kaon [17], rho [18], etc) accompagnera celle du boson de Higgs, rendant très difficile sa mise en évidence et plus encore la mesure de ses différentes propriétés. Pour ce point en particulier, il peut sembler plus adéquat d'utiliser des faisceaux de particules plus « élémentaires », les leptons [19] et plus particulièrement l'électron et le positron. Un tel accélérateur de leptons a fonctionné de 1989 à 2000, le LEP [20], mais avec des énergies de faisceau n'allant que jusqu'à 200 GeV.

Si un collisionneur produisant des faisceaux d'énergie supérieure permettait une étude plus systématique du Higgs, ce n'est cependant pas possible dans un accélérateur circulaire comme le LHC (malgré sa circonférence de 27 km) à cause des rayonnements de freinage. On arrive ainsi au concept de l'ILC (cf. figure 1.2), collisionneur linéaire électron sur positron où chaque faisceau est accéléré dans son propre accélérateur linéaire et où on réalise des collisions frontales. Chaque bras devrait mesurer 17.5 km de longueur pour des faisceaux

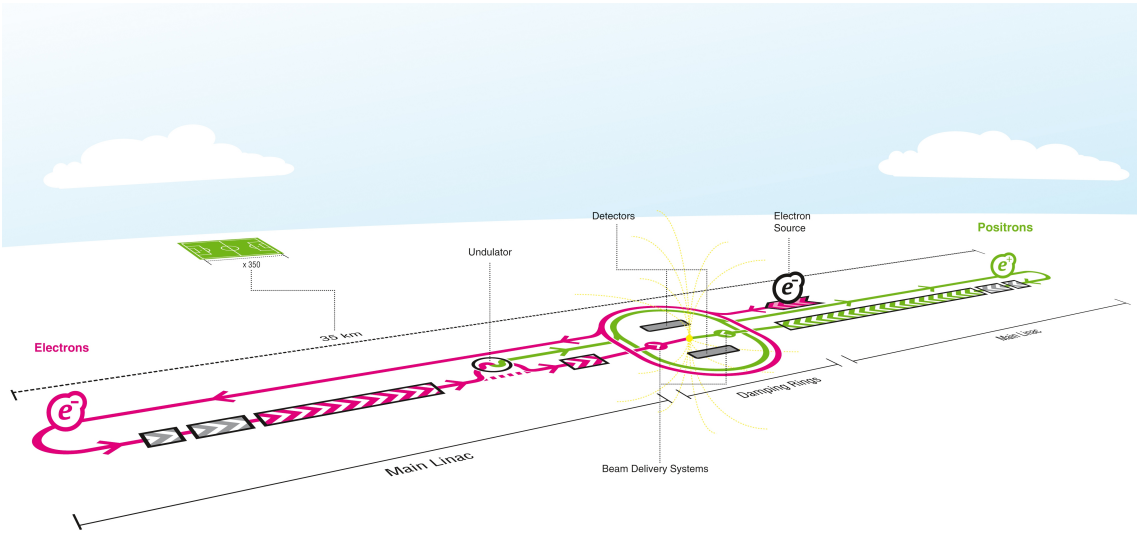


FIGURE 1.2 – *Schéma de l'ILC.*

atteignant une énergie nominale de 250 GeV, avec une évolution possible à 500 GeV.

1.1.2 Le projet de l'ILC en bref

L'ILC est un projet en phase de Recherche et Développement. Les premiers travaux détaillés sur la réalisation d'un accélérateur linéaire au TeV ont été effectués dans les années 1990 où plusieurs laboratoires autour du monde (cf. JLC [21]–I (the green book) [20] en 1992) commençaient déjà à présenter des résultats d'études.

16. pion : méson le moins massif, de spin 0, pouvant avoir une charge électrique +, – ou 0. L'échange d'un pion entre les nucléons d'un noyau atomique est responsable de leur attraction réciproque au travers de l'interaction forte.
17. kaon : méson composé d'un quark et d'un antiquark parmi lesquels un quark étrange ou un antiquark étrange.
18. rho : méson composé d'un quark et d'un antiquark (bas ou haut ainsi que leurs antiquarks repectifs). Méson le plus léger après le pion et le kaon.
19. lepton : élément unitaire de la matière avec le quark, sensible à l'interaction faible. Les leptons chargés sont l'électron, le muon et le tau par ordre croissant de masses. Les neutres sont les neutrinos correspondants.
20. **L**arge **E**lectron **P**ositron : l'accélérateur à leptons le plus puissant jamais construit pour le moment, arrêté en 2000.
21. **J**apanese **L**inear **C**ollider : collisionneur linéaire japonais, ancien nom de GLC.

La figure 1.3 [37] montre la structure temporelle globale du projet ILC ainsi que ses échéances prévisionnelles.

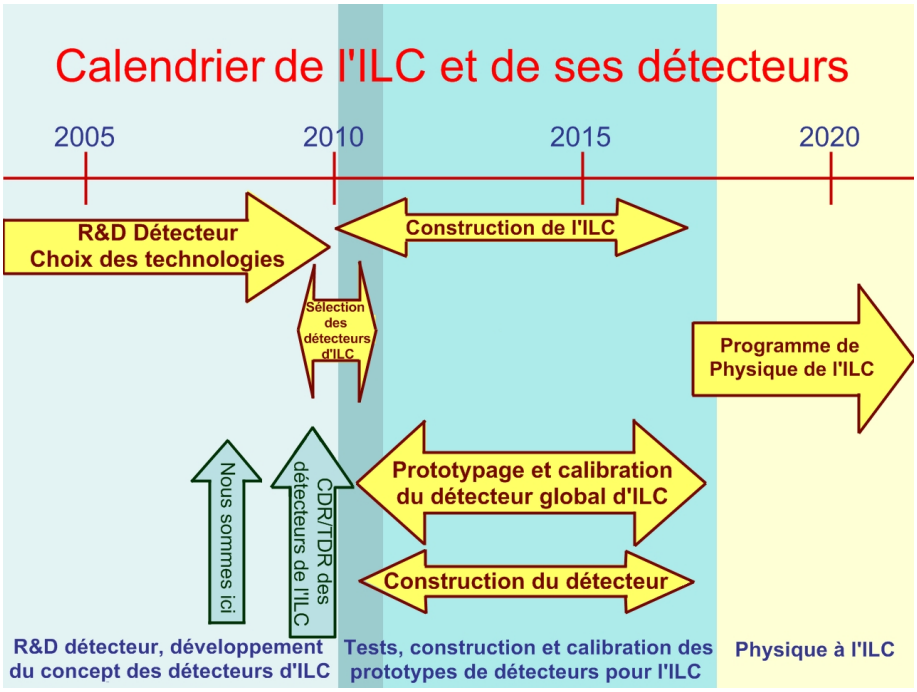


FIGURE 1.3 – *Calendrier global du projet ILC tel qu'il est plannifié en 2008.*

Quatre sites sont à l'étude pour sa localisation, : le DESY [22] à Hambourg en Allemagne, le FNAL [23] à Chicago aux USA [32], le CERN à Genève en Suisse, KEK [24] à Tsukuba au Japon [18], ainsi que le JINR [25] à Dubna en Russie [9].

Différents aspects de l'accélérateur sont à l'étude depuis déjà plusieurs années :

Les technologies chaude/froide : la technologie froide fait référence aux accélérateurs utilisant des cavités et des aimants supraconducteurs ; on parle de technologie chaude dans le cas contraire. La technologie froide, en partie du fait de sa plus faible fréquence de fonctionnement, permet des courants de faisceau plus intenses, un espacement plus grand entre les paquets de particules et une puissance consommée plus basse mais, les coûts imputés sont à–priori plus importants. En 2004, la décision a néanmoins été prise [8, 19] de la privilégier.

Les angles de croisement des faisceaux : l'angle influe sur la luminosité [26]. Trois valeurs d'angles étaient à l'étude : 14 mrad [27], 20 mrad [28] ou 2 mrad [7]. Cette dernière possibilité a l'avantage de diminuer certains bruits de fond qui peuvent gêner l'observation des sleptons [27]. Par contre, elle oblige à avoir des optiques d'entrée et d'extraction du faisceau

22. **D**eutsches **E**lektronen **SY**nchrotron : accélérateur situé en Allemagne à Hambourg.
23. **F**ermi **N**ational **A**ccelerator **L**aboratory : laboratoire américain situé à Batavia, Illinois, près de Chicago, aussi appelé FermiLab, ou est situé le TeVatron.
24. **K**ou **E**nerugii Butsurigaku **K**enkyusho : en japonais, laboratoire national pour la physique des hautes énergies.
25. **J**oint **I**nstitute for **N**uclear **R**esearch : laboratoire Russe situé à Dubna, dernier en date des sites supposés pour la construction de l'ILC.
26. luminosité : nombre de particules par centimètre carré par seconde générées dans les faisceaux de collisionneurs. La luminosité est proportionnelle au nombre d'évènements produits pour les études considérées.
27. slepton : partenaire supersymétrique d'un lepton, ils en ont chacun un.

faites d'un seul bloc, ce qui crée des pertes plus importantes au niveau du faisceau extrait. La solution à 20 mrad permet d'avoir des optiques séparées mais, elle augmente l'émittance des radiations synchrotron [28] et la rétrodiffusion de photons depuis les calorimètres situés à l'avant du détecteur. La solution intermédiaire à 14 mrad à donc été privilégiée en 2006 [30].

Le nombre de détecteurs : sur un accélérateur linéaire, contrairement à un circulaire, il ne peut y avoir à–priori qu'un seul détecteur. Il serait pourtant avantageux d'en avoir au moins deux pour confronter les résultats des mesures effectuées. Des études ont été menées pour avoir soit deux zones de collisions séparées en divisant chaque faisceau en deux, soit deux détecteurs côte–à–côte qui peuvent s'alterner au point d'interaction (option push-pull [29]). Cette deuxième solution a été retenue en 2006 [30] car son coût est d'un tiers inférieur à l'autre.

Les concepts de détecteurs : Suite à l'adoption de l'option push-pull, un appel à lettres d'intentions a été lancé en 2007 [33, 29] pour le choix de deux détecteurs en octobre 2008 en vue de l'EDR [30] pour 2009. Trois concepts cohabitent actuellement. La décision a finalement été reportée à Avril 2009.

1.2 Le détecteur ILD

1.2.1 Format général d'un détecteur de physique des particules

Dans un détecteur de physique des particules, on souhaite reconstruire des phénomènes qui se déroulent à des échelles inférieures au femtomètre (10^{-15} m), dimension caractéristique des constituants du noyau de l'atome, et avec des constantes de temps très courtes (à la vitesse de la lumière, 1 fm correspond à $\sim 3 \times 10^{-24}$ s). Ces phénomènes sont observés indirectement par l'intermédiaire des particules produites lors des collisions. Il faut pour cela être capable de mesurer l'énergie et l'impulsion de chacune de ces particules créées.

Auprès d'un collisionneur, différents types de sous–détecteurs sont disposés en couches concentriques autour du point d'interaction. En commençant par le plus au centre, les plus fréquemment utilisés sont : le détecteur de vertex, le trajectographe, le calorimètre électromagnétique (ECAL), le calorimètre hadronique (HCAL [31]) et les chambres à muons [32] et/ou collecteurs de fin de gerbes. En général, ces grands détecteurs comprennent aussi un aimant qui produit un champ magnétique de quelques Tesla pour courber les trajectoires des particules chargées émises. La figure 1.4 montre l'organisation de ces sous–détecteurs dans le cas de l'expérience CMS [33] au CERN. Comme indiqué sur cette figure, l'aimant est situé derrière le calorimètre hadronique.

28. synchrotron : lorsqu'une particule chargée se déplace de façon non uniforme, elle émet un rayonnement électromagnétique appelé rayonnement synchrotron. Le terme synchrotron désigne également une machine circulaire qui donne une accélération à des particules chargées avec un champ électrique oscillant synchronisé sur le passage des particules. C'est le type de machine utilisée le plus couramment de nos jours (LEP, HERA, TeVatron, LHC).

29. push-pull : principe qui consiste à avoir deux détecteurs interchangeables sur la même ligne de croisement de faisceaux.

30. **E**ngineering **D**esign **R**eport : étape dans la réalisation d'un projet d'accélérateur en physique des particules (**D**etector **C**oncept **R**eport, **D**etector **O**utline **D**ocument, **T**echnical **D**esign **R**eport, **R**eference **D**esign **R**eport, CDR, EDR).

31. **H**adronic **CAL**orimeter : calorimètre hadronique.

32. muon : lepton de charge électrique -1.

33. **C**ompact **M**uon **S**olenoid : détecteur situé sur le LHC au CERN.

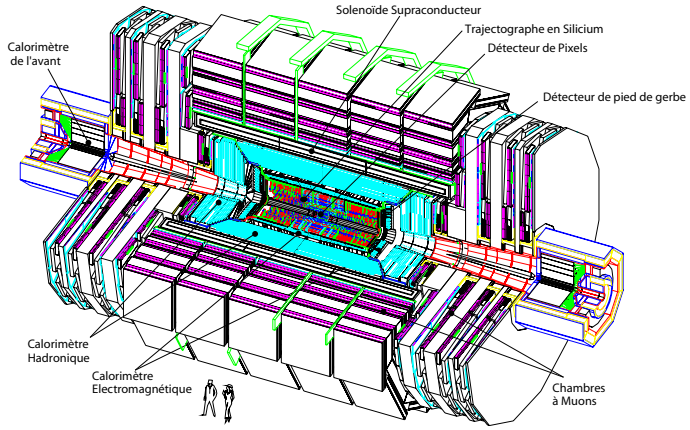


FIGURE 1.4 – *Vue de l'expérience CMS montrant l'organisation de ses sous–détecteurs.*

Le détecteur de vertex : premier sous–détecteur auprès du point d'interaction, il enregistre les points de passage des particules avec une segmentation très fine (typiquement quelques dizaines de μm). Il sert à repérer les vertex primaires et secondaires qui sont les points de séparation entre les trajectoires des différentes particules primaires et secondaires, les premières étant celles issues des collisions frontales et les secondes celles issues de la désintégration des premières.

Le trajectographe : il enregistre aussi des points de passage des particules (avec une précision de 100 μm) à partir desquels on reconstruit leur trajet pour calculer leur impulsion. Si une mesure du $\frac{\mathrm{dE}}{\mathrm{dx}}$ (perte d'énergie des particules par des phénomènes d'ionisation) ou du temps de vol des particules est associée à cette mesure des traces, on peut en déduire la masse des particules et ainsi les identifier au niveau du trajectographe.

Les calorimètres électromagnétique et hadronique : le but de la calorimétrie est de mesurer l'énergie des particules afin de pouvoir, avec les informations des autres sous–détecteurs, les identifier et calculer leurs quadri–moments (quantité de mouvement, énergie (p_x, p_y, p_z, E)). Cette mesure s'effectue de manière destructive en absorbant l'énergie des particules. Rappelons que pour ce faire, on cherche à ce que les particules interagissent dans un milieu qui fournit un signal proportionnel à cette énergie déposée.

Les chambres à muons : Les muons qui ne sont pas sensibles à l'interaction forte ont donc, comme nous allons le voir ci dessous, une très grande probabilité de traverser les calorimètres en ne déposant leur énergie que par ionisation. Les particules sortant à l'arrière du calorimètre hadronique sont donc identifiées comme des muons. Leur trace est mesurée dans les chambres à muons pour calculer leur quantité de mouvement.

Les interactions des particules dans les calorimètres

Seules l'interaction électromagnétique et l'interaction forte entrent en jeu dans la mesure de l'énergie des particules. Pour l'interaction électromagnétique, les pertes d'énergie se font sous la forme de l'émission d'un rayonnement de freinage (Bremsstrahlung) et/ou par ionisation/excitation du milieu. En ce qui concerne l'interaction forte, elles correspondent à des collisions inélastiques avec les noyaux d'atomes produisant principalement d'autres hadrons.

La figure 1.5 montre les principaux modes de pertes d'énergie d'un électron et d'un positron dans le plomb en fonction de leur énergie incidente. On voit sur cette figure que, passé 7 MeV, la perte par rayonnement de freinage est le processus dominant de perte

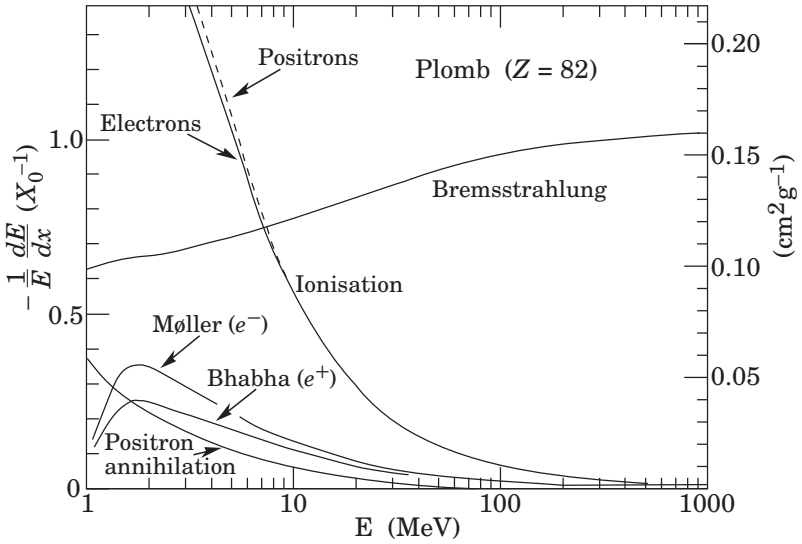


FIGURE 1.5 – *Fraction d'énergie perdue par longueur de radiation par un électron ou un positron dans du plomb en fonction de son énergie ; détails des contributions des différents phénomènes intervenant. La longueur de radiation dans le plomb est de 0.56* cm.

d'énergie. La longueur de radiation (X_0), définie comme la distance au cours de laquelle un électron (ou un positron) perd, en moyenne, 63,2% de son énergie par radiation, est une unité caractéristique de ce type d'interaction. Cette distance est typiquement de l'ordre du centimètre. Dans le cas du plomb illustré sur la figure 1.5, cette valeur est de 0.56 cm ($\rho_{Pb} = 7.87\,\mathrm{g/\,cm^3}$).

Comme nous le détaillons dans la sous–section 1.3.1 (P.13), l'énergie déposée par un électron se retrouve sous la forme d'une gerbe qui sera complètement contenue dans environ $22\,X_0$, soit 10 cm dans l'exemple du plomb.

La figure 1.6 montre le pouvoir stoppant du cuivre sur le muon. On voit sur cette figure que pour le muon, les pertes radiatives ne commencent à prendre de l'importance qu'au delà de 100 GeV/c, ceci étant dû au fait que l'intensité du rayonnement de freinage est inversement proportionnelle au carré de la masse de la particule considérée. C'est cette différence de valeur entre celle de l'électron ($m_e \sim 0.519\,\mathrm{MeV}/c^2$) et celle du muon ($m_\mu \sim 105.66\,\mathrm{MeV}/c^2$) qui explique cette suppression. Celle ci restera valable pour toutes les autres particules telles que le pion ($m_{\pi^\pm} \sim 140\,\mathrm{MeV}/c^2$), le proton ($m_p \sim 938.27\,\mathrm{MeV}/c^2$), etc. On comprend donc que lors de leur traversée de la matière, les particules chargées autres que l'électron subiront principalement, du point de vue de l'interaction électromagnétique, des pertes par ionisation.

L'interaction forte concerne les hadrons. La figure 1.7 représente la section efficace dans le cas de l'interaction d'un pion sur un proton, en fonction de l'impulsion du pion. On voit sur cette figure que la section efficace totale du pion pour des impulsions supérieures à 10 GeV/c est à peu près constante (de l'ordre de 22 mb) et que sa section efficace élastique pour la même gamme d'impulsion est un ordre de grandeur en dessous (entre 1 et 3 mb). Les phénomènes d'interactions nucléaires fortes sont caractérisés par la longueur d'interaction [34] (λ_I), exprimant la distance moyenne parcourue dans la matière avant de subir une collision inélastique. Elle se calcule à partir de la section efficace inélastique $\sigma_{inélastique}$

34. longueur d'interaction : longueur moyenne parcourue par une particule avant une interaction nucléaire.

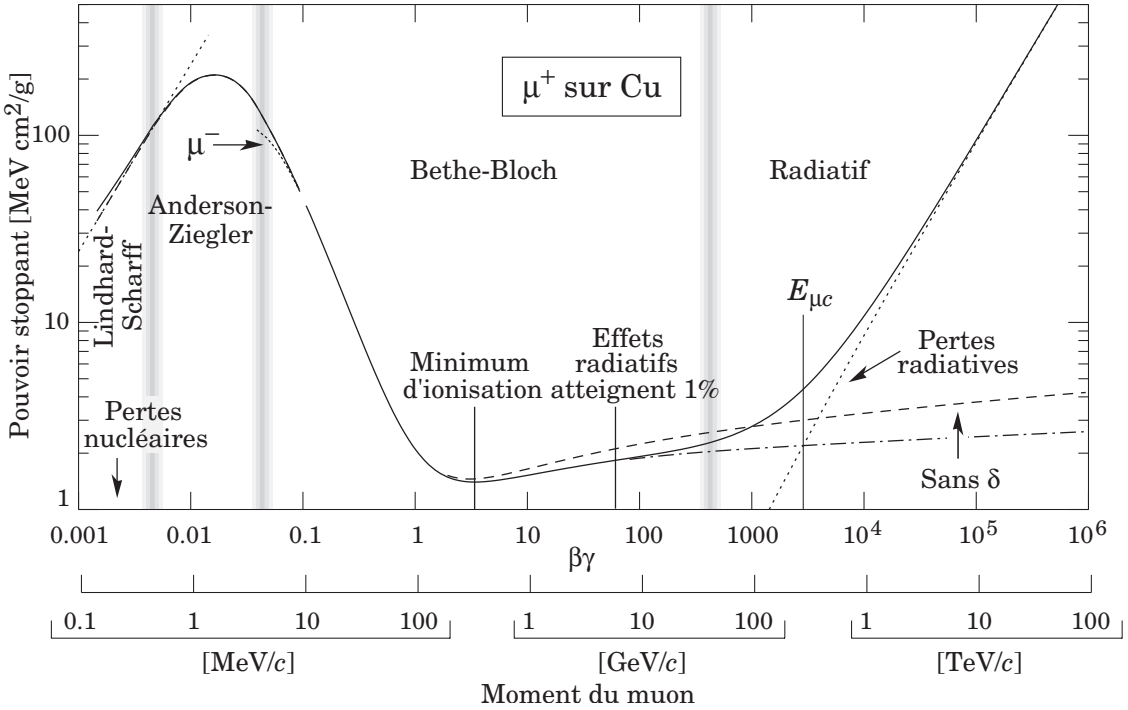


FIGURE 1.6 – *Taux de perte d'énergie moyen des muons dans le cuivre en fonction de* $\beta\gamma = (pc)/(Mc^2)$. *La formule de Bethe-Bloch s'applique pour* $\beta\gamma \geq 0.1$. *Pour le muon,* $Mc^2 = 105.66\,\mathrm{MeV}$. *Au delà de l'énergie critique* $E_{\mu c}$, *la perte d'énergie par rayonnement de freinage prend le dessus sur l'ionisation. D'après [5].*

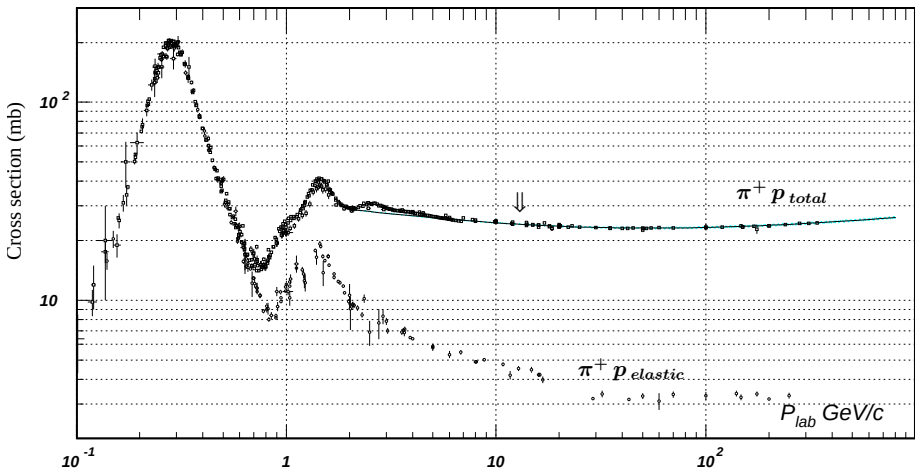


FIGURE 1.7 – *Section efficace totale et élastique d'un pion sur un proton, en fonction du moment du pion.*

avec la formule suivante :

$$\lambda_I = \frac{A}{N_A \times \sigma_{inélastique}}$$

où A est la masse molaire du milieu absorbeur et N_A est le nombre d'Avogadro. Pour l'hydrogène, considérant que

$$\begin{aligned} \sigma_{inélastique} &= \sigma_{tot} - \sigma_{élastique} \\ &\approx 20\,\text{mb} \end{aligned}$$

on aura

$$\begin{aligned} \lambda_I &= \frac{1.01\,\text{g/mol}}{6.02 \times 10^{20} \times 22 \times 10^{-27}\,\text{cm}^2} \\ &\approx 84\,\text{g}/cm^2 \end{aligned}$$

soit, avec une densité pour l'hydrogène gazeux de $0.071\,\text{g}/\,\text{cm}^3$,

$$\lambda_I \approx 1181\,\text{cm}.$$

L'absorbeur choisi dans un calorimètre hadronique possédera un nombre de masse et une densité élevés. Des exemples de matériaux typiquement utilisés sont le fer (A≈55, ρ=7.78 g/cm^3), l'acier qui contient principalement du fer avec un peu de carbone et le plomb (A≈207, ρ=11.35 g/cm^3), ce qui conduit à des longueurs d'interaction d'environ 17 cm (cf. [3]).

Ainsi, si on considère un calorimètre d'épaisseur correspondant à $3\lambda_I$, la gerbe électromagnétique sera complètement contenue dans le premier tiers, d'où la dénomination de calorimètre « électromagnétique », et de calorimètre « hadronique ».

1.2.2 Caractéristiques de l'ILD

De nombreux développements parallèles et complémentaires s'effectuent sur le détecteur. Comme dit dans le paragraphe précédent, il reste aujourd'hui trois concepts dont ILD, né de la fusion des concepts LDC [35] (cf. figure 1.8) et GLD [36] (cf. figure 1.9) en 2008. Ces deux coopérations ont des projets qui vont dans le même sens et ont donc décidé de regrouper leurs efforts : les deux projets contiennent un détecteur de vertex en silicium, une TPC [37] gazeuse comme trajectographe, des calorimètres à échantillonnage de grande granularité et des chambres à muon, qui sont également des collecteurs de fin de gerbe, intercalées avec le noyau de retour en fer de l'aimant. Dans les deux cas, un aimant (de 4 et 3 Tesla dans LDC et GLD respectivement) est situé à l'extérieur du HCAL. Le ECAL de LDC est réalisé en Silicium / Tungstène (Si/W) contre un ECAL Tungstène / Scintillateur (W/Sci) pour GLD, et les HCAL de LDC sont réalisés soit en Acier / Scintillateur, soit en (RPC [38] ou MicroMeGaS [39] ou GEM [40]) / Acier, contre un HCAL en Plomb / Scintillateur

35. **L**arge **D**etector **C**oncept : concept de grand détecteur, concept pour l'ILC.
36. **G**lobal **L**inear **D**etector : détecteur linéaire global, concept pour l'ILC.
37. **T**ime **P**rojection **Chamber** : trajectographe à projection en temps.
38. **R**esistive **P**late **C**hamber : chambre à plaques résistives, détecteur gazeux.
39. **MicroMe**sh **Ga**seous **S**tructure : détecteur gazeux possédant deux électrodes pour l'amplification du signal.
40. **G**as **E**lectron **M**ultiplier : chambre multiplicatrice d'électrons dans un gaz.

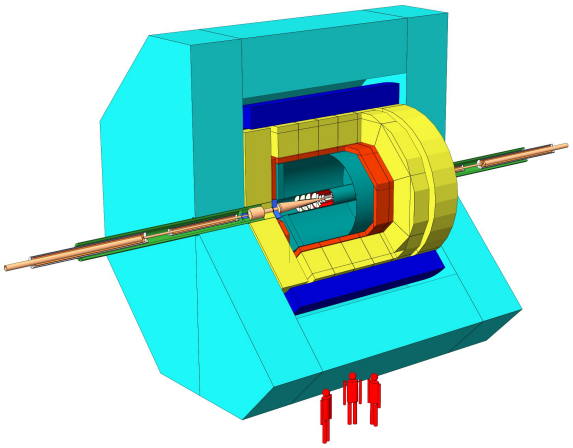


FIGURE 1.8 – *Vue simplifiée du détecteur LDC.*

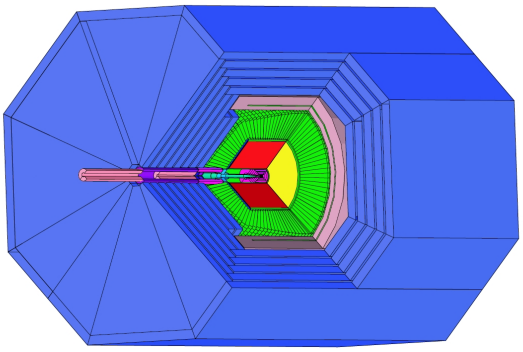


FIGURE 1.9 – *Vue coupée de GLD.*

(Pb/Sci) pour GLD. Pour tous les calorimètres à scintillateurs, la lecture est faite par des SiPM [41], qui peuvent être intégrés dans le détecteur.

Des adaptations ont été réalisées au niveau des dimensions des différents sous–détecteurs des deux ex–concepts pour que les dimensions générales du nouveau détecteur correspondent aux besoins de chacun. Dans un deuxième temps, les performances des prototypes de sous–détecteurs seront comparées.

La figure 1.10 montre une vue de l'ILD après accord sur ses dimensions et le tableau 1.1 résume ses principales caractéristiques.

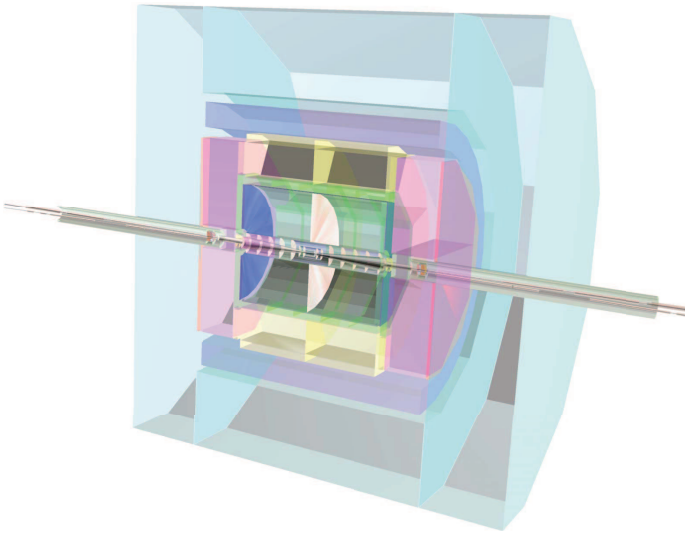


FIGURE 1.10 – *Vue de l'ILD.*

41. **Si**licon **P**hoto**M**ultiplier : photomultiplicateur en silicium. Photodétecteur multi–pixel opéré en mode Geiger.

HCAL	
Rayon intérieur du Baril (mm)	2058
Rayon extérieur du Baril (mm)	3410.5
Dimension d'une roue (mm)	1060
Nombre de roues	5
Nombre de modules par roues	8
Longueur totale (mm)	7844
Poids du Baril (t)	598 (acier inoxydable) + 18.7 (milieu sensitif)
Poids d'un Bouchon (t)	269 (acier inoxydable) + 8.4 (milieu sensitif)

TABLE 1.1 – *Principales caractéristiques du HCAL de l'ILD.*

1.3 La calorimétrie à l'ILC

1.3.1 Généralités sur la calorimétrie

Il y a principalement deux types de calorimètres, les calorimètres à absorption totale pour lesquels la particule perd intégralement son énergie dans le milieu de détection (comme c'est le cas du ECAL de l'expérience CMS), et les calorimètres à échantillonnage qui sont constitués d'alternances de couches d'absorbeur et de matière active de détection (cf. figure 1.11). L'intérêt des calorimètres à échantillonnage provient du fait que la plupart

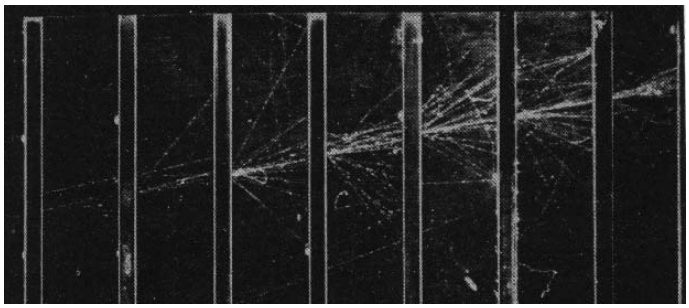


FIGURE 1.11 – *Vue d'une gerbe électromagnétique dans un calorimètre à échantillonnage. On peut observer l'alternance, régulière ici, entre les couches actives (absorbeur) et les couches de détection qui se comportent comme des zones mortes pour la physique.*

des matériaux de détection à bas coût ont des longueurs de radiation allant de 30 à 50 cm. À titre d'exemple, la longueur de radiation du polyvinyltoluène, un scintillateur plastique, est de 42.6 cm, ce qui conduirait à une longueur totale pour contenir une gerbe électromagnétique de 937.7 cm. En alternant ces matériaux de détection avec d'autres ayant de très petits X_0 (fer, plomb, ...), on arrive à réduire les dimensions des calorimètres pour que l'énergie des particules soit intégralement dégradée dans des dimensions comprises entre 20 et 30 cm. On ne mesure alors qu'une fraction de l'énergie déposée.

La résolution en énergie d'un calorimètre est donné par la relation suivante :

$$\frac{\sigma_E}{E} = \underbrace{\frac{a}{\sqrt{E}}}_{[terme\ stochastique]} \oplus \underbrace{\frac{b}{E}}_{[bruit]} \oplus \underbrace{c}_{[terme\ constant]}$$

où $\oplus$ représente la somme quadratique et E l'énergie en GeV. Le terme stochastique (a) rend compte des fluctuations du dépôt d'énergie, le terme constant (c) des inhomogénéités,

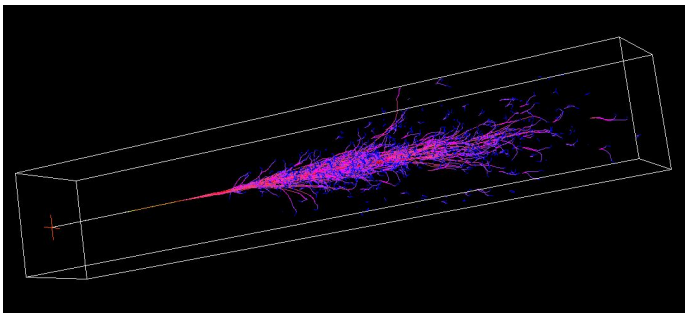


FIGURE 1.12 – *Simulation du passage d'un électron de 24* GeV *dans du fer.*

des non linéarités et des erreurs de calibration. Le terme de bruit (b) concerne l'électronique de lecture.

Le calorimètre électromagnétique, comme vu à la sous–section 1.2.1, stoppe les particules chargées légères par interaction électromagnétique. Les photons, qui sont des particules neutres, interagissent principalement par effet photoélectrique, diffusion COMPTON et création de paires électron/positron. À haute énergie, leur processus dominant de perte d'énergie est la création de paires, caractérisée également par la longueur de radiation X_0 du milieu. Cette constante décrit donc l'ensemble des phénomènes qui mènent à la création de gerbes électromagnétiques.

On peut alors décrire la formation d'une gerbe électromagnétique de la manière suivante : un électron entrant dans le calorimètre, d'énergie supérieure à l'énergie critique [42] va, en moyenne au bout d'une distance X_0, générer un photon, qui a son tour, au bout d'une distance X_0, générera une paire électron/positron. La situation serait équivalente si un photon était entré à la place de l'électron initial. La gerbe, pendant cette phase, a tendance à s'élargir. À chacune de ces interactions, les particules cèdent une part de leur énergie au milieu. Lorsque l'énergie des électrons de la gerbe descend au dessous de l'énergie critique dans le milieu considéré, ils interagissent par ionisation et sont stoppés plus rapidement. La figure 1.12 représente la simulation d'une gerbe électromagnétique créée par un électron dans du fer.

La longueur nécessaire pour contenir 95 % d'une gerbe dans la direction longitudinale est donnée, en unités de X_0, en fonction du logarithme de l'énergie de la particule incidente E_0 :

$$t_{95\%} = \frac{1}{\ln(2)} \ln(\frac{\mathrm{E}_0}{\mathrm{E}_c}) + 0.08 \times \mathrm{Z} + 9.6$$

ou E_c est l'énergie critique de la particule incidente. Pour un électron de 10 GeV dans du fer (Z=26, E_{e^-c}=21.68 MeV), on trouve environ $21X_0$. Typiquement, une vingtaine de X_0 est nécessaire pour contenir 95 % des gerbes dans un calorimètre électromagnétique.

Le développement transverse des gerbes est caractérisé par une autre constante du matériau, le rayon de Molière [43] ($\mathrm{R_M}$), qui s'exprime en unité de X_0. En général, 95 % de l'énergie d'une gerbe est contenu dans 2 $\mathrm{R_M}$.

Comme vu à la sous–section 1.2.1, les processus qui caractérisent la perte d'énergie des hadrons sont plus complexes à décrire que les interactions des électrons dans un calorimètre électromagnétique. Les gerbes hadroniques contiennent une composante électromagnétique.

42. énergie où les contributions des phénomènes d'ionisation et des rayonnements freinants sont équivalentes, cf. figure 1.5

43. rayon de Molière : caractéristique d'expansion transversale d'une gerbe électromagnétique.

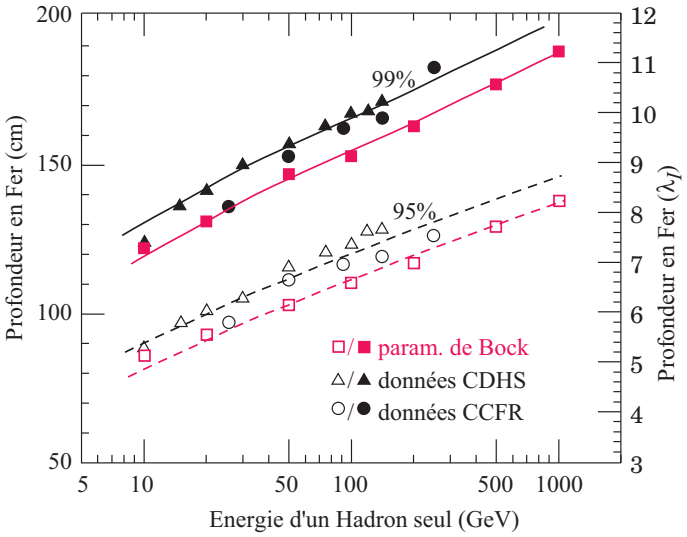


FIGURE 1.13 – *Epaisseurs de fer nécessaires pour contenir 95 % et 99 % de l'énergie d'une gerbe hadronique, sur la base de données provenant de deux grands détecteurs à neutrinos, ainsi que de la paramétrisation de* BOCK. *D'après [4].*

Elles sont plus pénétrantes et plus larges que les gerbes électromagnétiques, avec des fluctuations plus grandes, en partie dûes à des excitations nucléaires non détectées (∼20 %). La précision attendue sur la mesure de l'énergie dans un calorimètre hadronique est donc moindre.

Comme dans le cas d'une gerbe électromagnétique, le développement longitudinal des gerbes hadroniques se fait de manière logarithmique par rapport à l'énergie de la particule incidente. La figure 1.13 montre les profondeurs de fer nécessaires pour contenir 95 % et 99 % d'une gerbe générée par un hadron seul. Comme ces valeurs sont aussi exprimées en nombre de longueur d'interaction, elles sont à–priori adaptables à d'autres matériaux.

Dans la direction transverse, 95% de l'énergie d'une gerbe hadronique est contenue dans une longueur d'interaction. La figure 1.14 montre le dépôt d'énergie longitudinal et transverse de gerbes hadroniques de différentes énergies dans différents matériaux.

1.3.2 Energy flow

L'energy flow est un principe de calorimétrie qui consiste à utiliser au mieux l'information du trajectographe et des calorimètres segmentés (cf. [16, 34]). Son application résulte de deux constatations en ce qui concerne la mesure des jets [44] et des gerbes hadroniques.

Les jets sont composés de lots de particules de tous types : des hadrons chargés (π, p, ...) et neutres (K^0, n, ...), des électrons, des photons et quelques muons. Chacun ayant un rendement différent pour ses dépôts d'énergie, en omettant la distinction de ces types, la résolution en énergie des jets est dégradée par un terme dit de « confusion ».

La gerbe résultant de l'interaction d'un hadron seul entrant dans les calorimètres comporte une composante électromagnétique (principalement issue de la désintégration de pions neutres) qui fluctue beaucoup. Le détecteur ne répondant pas de la même manière aux deux composantes électromagnétique et hadronique quand elles sont mélangées, la résolution en énergie qui en découle est dégradée. Elle est typiquement de $50\,\%/\sqrt{E}$.

44. jet : giclée de particules presque parallèles produites par l'hadronisation d'un quark ou d'un gluon.

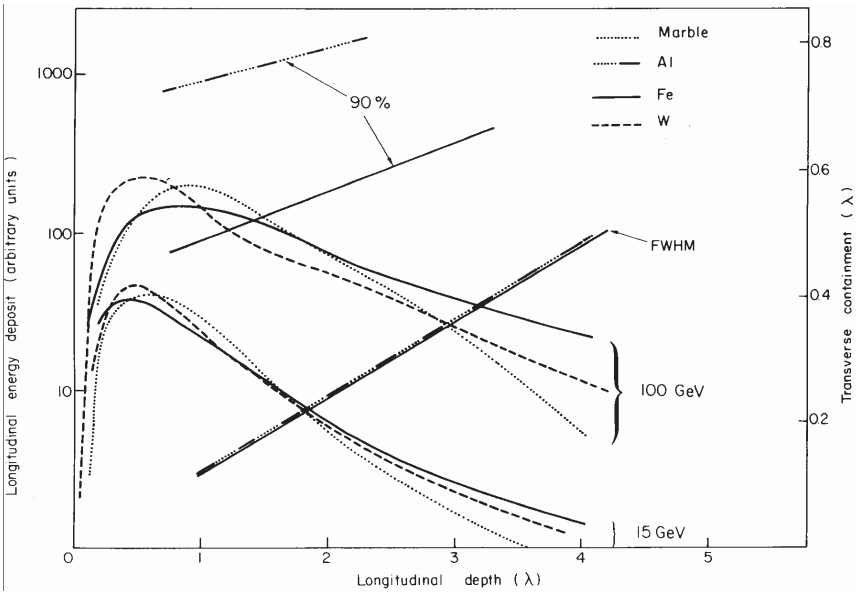


FIGURE 1.14 – *Dépôt d'énergie longitudinal et transverse de hadrons de 15 et 100* GeV *dans du marbre, de l'aluminium, du fer et du tungstène, en fonction de la profondeur de pénétration dans le matériau (en unités de* λ_I*). D'après [13].*

Avec un calorimètre suffisamment segmenté, il est à–priori possible de séparer les contributions des particules des jets et également les contributions des pions neutres dans les gerbes hadroniques.

Voyons maintenant un exemple de l'utilisation conjointe du trajectographe et des calorimètres : à basse énergie, les particules chargées ($e^{\pm}$, hadrons chargés) sont mieux mesurées dans le trajectographe. En suivant leur trajectoire dans les calorimètres, on peut retirer la contribution des cellules correspondantes. Les cellules restantes permettent alors de reconstituer les informations des particules neutres (photons, kaons neutres, neutrons).

Le résultat des études réalisées pour les détecteurs de l'ILC montre que l'energy flow est le seul moyen de descendre la valeur du terme stochastique de la résolution en énergie à $30\%/\sqrt{E}$, nécessaire à la séparation suffisante des jets pour observer le boson de Higgs pour les embranchements $e^+e^{--} \rightarrow HZZ^*$ et $e^+e^{--} \rightarrow HZ$ (rappelons que le terme stochastique du LEP était de $\sim 60\%/\sqrt{E}$). La figure 1.15, tirée de [35], montre la différence, dans un évènement à quatre jets, après reconstruction de la masse d'un di–jet en fonction de celle d'un autre, entre un terme stochastique de $30\%/\sqrt{E}$ et un de $60\%/\sqrt{E}$. On constate qu'il est impossible dans la figure de gauche de distinguer les rapports de masse, et donc d'identifier les particules des jets.

1.3.3 Le calorimètre électromagnétique Silicium/Tungstène de LDC

Le calorimètre électromagnétique du détecteur LDC est un calorimètre à échantillonnage optimisé pour pouvoir y appliquer les techniques de particle flow [45]. C'est pourquoi un absorbeur en tungstène et un milieu actif en silicium ont été choisis.

La longueur de radiation du tungstène est de 0.35 cm et sa longueur d'interaction de 9.6 cm, soit un rapport de 27.4. Le tungstène allie donc de faibles longueurs de radiation et

45. particle flow : techniques d'analyse et de reconstruction qui consistent à suivre les particules dans leur trajet à travers les différents sous-détecteurs.

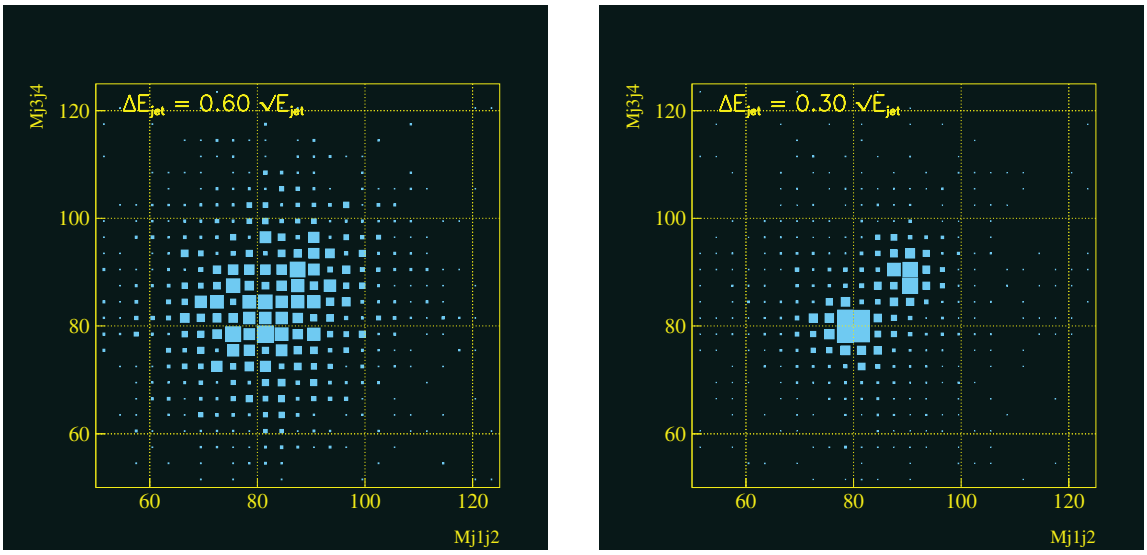


FIGURE 1.15 – *Courbe dans un évènement à quatre jet de la masse d'un di–jet en fonction d'un autre, pour des valeurs de terme statistique de* $60\%/\sqrt{E}$ *(à gauche) et de* $30\%/\sqrt{E}$ *(à droite).*

d'interaction, permettant d'atteindre une forte compacité longitudinale. Le rapport entre les deux longueurs caractéristiques permet de séparer efficacement les composantes électromagnétiques et hadroniques des gerbes hadroniques qui démarrent, pour part, dans le calorimètre électromagnétique. Le rayon de Molière du Tungstène est de 0.9 cm, ce qui ajoute également une forte compacité des gerbes dans le plan transverse.

La partie active du calorimètre est composée de photodiodes en silicium de 525 μm d'épaisseur (bientôt 375 μm). Ce type de détecteur a été choisi pour sa faible épaisseur ainsi que pour permettre de descendre à des échelles proches du rayon de Molière pour les dimensions des cellules de lecture. Cette taille est pour le moment de $1 \times 1\,\mathrm{cm}^2$, mais devrait à l'avenir atteindre $0.5\,\mathrm{cm} \times 0.5\,\mathrm{cm}$.

L'épaisseur choisie pour ce calorimètre est de $24\,\mathrm{X}_0$ (21 cm), répartis sur 40 plans de détection, séparés en trois zones avec des épaisseurs d'absorbeur croissantes, pour avoir à la fois une précision de mesure répartie sur toute la gamme d'énergie et un confinement des gerbes. Démarrant à 1.7 m du point d'interaction, la surface totale de silicium devrait être de $3\,000\,\mathrm{m}^2$.

Le nombre de canaux d'acquisition serait donc d'environ 30 millions, ce qui est un chiffre énorme, comparé par exemple aux 45 000 canaux du ECAL de CMS. La dynamique prévue pour l'électronique de lecture est de 12 bits par cellule.

Un prototype de ce calorimètre a été réalisé pour les études de physique, comportant 30 couches de détections, 10 000 canaux, avec une version préliminaire d'électronique de lecture dont la partie numérisation est déportée hors du détecteur. Il a participé à des tests en faisceau en 2006, 2007 et 2008 qui ont permis de valider les résultats des simulations. Un prototype dit « technologique » est en cours de construction pour 2009 dans le cadre du plan de développement européen EUDET. Il servira à valider les choix technologiques effectués (structure mécanique, méthode de fabrication, intégration des ASICs de lecture au coeur du détecteur).

1.3.4 Le calorimètre hadronique analogique de LDC (AHCAL)

Le calorimètre hadronique de LDC est un calorimètre à échantillonnage Acier/Scintillateurs également optimisé pour des études de particle flow.

Les tuiles de plastique scintillant ont une réponse sous forme de photons qui sont collectés et guidés par des fibres à translation de longueur d'onde vers les dispositifs de conversion du signal lumineux en signal électrique.

Ces capteurs, au contact des tuiles, sont d'une technologie récente, SiPM ou MPPC [46] [47], et sont conçus pour opérer sous un champ magnétique de 4 Tesla prévu pour l'aimant de l'ILD.

Un premier prototype de ce calorimètre a été construit pour les études de physique, avec un volume de $1\,\mathrm{m}^3$ pour $4.5\lambda_I$ et 8000 tuiles de scintillateur réparties sur 38 couches. Les dimensions des tuiles, de $3 \times 3\,\mathrm{cm}^2$ au centre d'un plan de détection, a été choisie pour rendre possibles les études de particle flow. Le reste des plans a ensuite été complété avec des cellules allant de $6 \times 6\,\mathrm{cm}^2$ jusqu'à $12 \times 12\,\mathrm{cm}^2$ sur les bords.

Le signal électrique en sortie des capteurs est échantillonné sur 16 bits ; il devrait à terme l'être sur 12 bits. L'électronique de lecture utilisée dans ce prototype est une version préliminaire : seule la partie amplification du signal est située dans le détecteur, la partie numérisation, déportée hors du détecteur, étant la même que celle utilisée pour le ECAL.

Outre les enjeux des analyses de particle flow, deux défis sont à relever pour l'utilisation de ce calorimètre :

- Les scintillateurs sont sensibles aux neutrons qui ont pour effet d'accroître le signal mesuré, en ayant parfois parcouru auparavant une certaine distance dans le calorimètre. Une mesure des temps permet de repérer ces évènements qui n'ont pas forcément de synchronisation avec le signal de l'accélérateur. Un estampillage en temps est réalisé par un TDC [48] avec une résolution de 100 ps. Les analyses doivent montrer qu'il est possible d'identifier la contribution des neutrons.
- La saturation des SiPMs à hautes énergies : de nombreuses études ont été réalisées pour quantifier l'erreur de linéarité et tenter de la corriger à–posteriori sur les données.

Ce prototype de calorimètre a été testé en faisceau avec le ECAL derrière lequel il était placé (le ECAL a une profondeur d'une longueur d'interaction).

Un prototype technologique est également en cours de réalisation dans le cadre du plan de développement européen EUDET qui devrait aboutir en 2009.

1.4 Le calorimètre hadronique semi–digital (DHCAL)

1.4.1 Le concept

Comme nous l'avons déjà indiqué, la calorimétrie semi–digitale consiste à compter le nombre de cellules touchées dans le détecteur pour calculer l'énergie déposée par la particule incidente. Ce concept n'a pour le moment été validé que lors de simulations.

Cette approche nécessite à–priori l'utilisation du particle flow. Elle permet une plus grande segmentation du détecteur à coût égal, du fait de la simplicité du système de numérisation, de la faible quantité d'information à transmettre et de la faible consommation.

46. **M**ulti **P**ixel **P**hoton **C**ounter : compteur à photons multi–pixels. Photodétecteur multi–pixel opéré en mode Geiger.
47. deux détecteurs équivalents, le premier développé en Russie et le second au Japon
48. **T**ime to **D**igital **C**onverter : convertisseur temps-numérique.

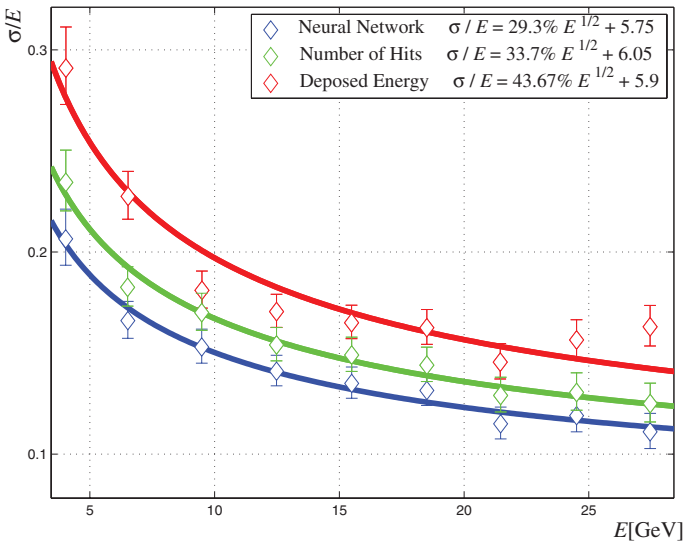


FIGURE 1.16 – *Simulation de la réponse à des pions de différentes énergies d'un scintillateur parfait, structuré en cellules d'1* cm^2*, lu, soit en sommant l'énergie des cellules touchées (en rouge en haut), soit en comptant leur nombre (en vert au milieu), soit en utilisant un réseau de neurones entrainé pour optimiser la résolution en énergie (en bleu en bas). D'après [11].*

De manière surprenante, il est possible avec celle–ci d'obtenir une meilleure résolution, à segmentation équivalente, qu'avec la mesure de l'énergie d'une particule par la somme des énergies déposées dans chaque cellule : une simulation de la réponse d'un scintillateur parfait à des pions selon le type de lecture utilisée montre (figure 1.16) une différence de 10 % dans le terme stochastique en faveur de la lecture par comptage. Ceci est dû [11] à la suppression des fluctuations des dépôts d'énergie des cellules par le comptage (elles sont principalement imputables à l'arrêt —avec une statistique variable— de particules de basses énergies dans le matériau de détection, qui déposent une quantité d'énergie plus grande que les particules relativistes).

Le type de physique réalisé à l'ILC promet un grand nombre d'évènements multi–jets. La calorimétrie semi–digitale donne également une meilleure précision sur la mesure en énergie dans ce cas [26]. La valeur de la résolution en énergie de jets en fonction de la dimension des cellules de détection, obtenue par simulation avec le prototype de calorimètre de GLD, montre (figure 1.17) que pour des dimensions inférieures à 2 cm, la résolution obtenue avec la lecture par comptage est meilleure de 10 à 20 % pour les jets d'énergie supérieure à 100 GeV.

Cependant, l'avantage de cette méthode binaire n'est valable qu'à basse énergie. Des études logicielles ont été réalisées [26, 25] qui montrent que la résolution peut être identique à haute énergie si 2 ou 3 seuils sont utilisés à la place d'un seul. La figure 1.18 présente les résolutions en énergie obtenues en simulation dans le cas d'une lecture « analogique » (lecture de l'énergie déposée), d'une lecture binaire et d'une lecture semi–digitale 3 bits. On y constate la dégradation des performances d'une lecture binaire du calorimètre à haute énergie. Ceci est prévisible puisque l'énergie déposée par cellule gagne plusieurs ordre de grandeur (sur la figure 1.14, on voit que la densité d'énergie croît d'un facteur 5 en passant de 5 à 100 GeV). La courbe montrant les données lues avec trois seuils a une linéarité bien plus proche de celle obtenue avec une acquisition dite « analogique ».

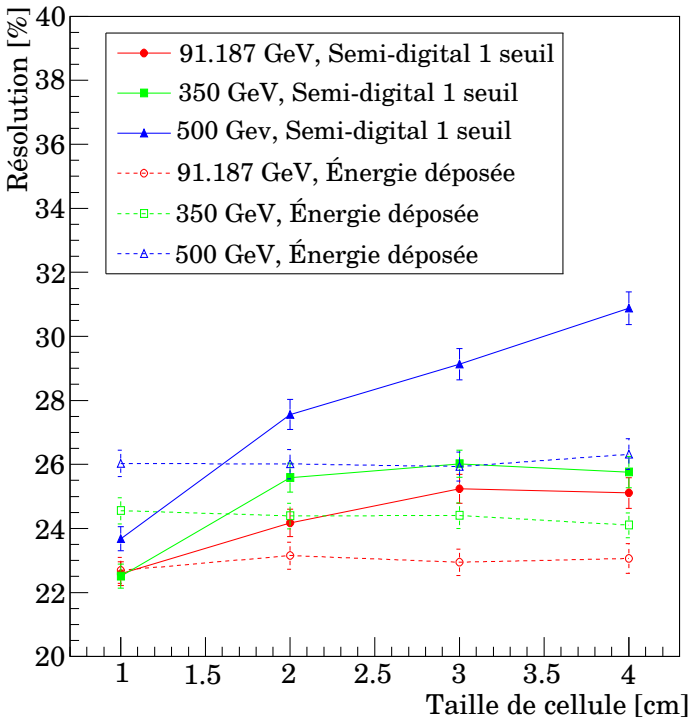


FIGURE 1.17 – *Comparaison des résolutions en énergie sur la mesure des jets obtenues en simulation pour différentes énergies dans le cas d'une lecture « analogique » et d'une lecture par comptage, en fonction de la dimension d'une cellule de détection. D'après [26].*

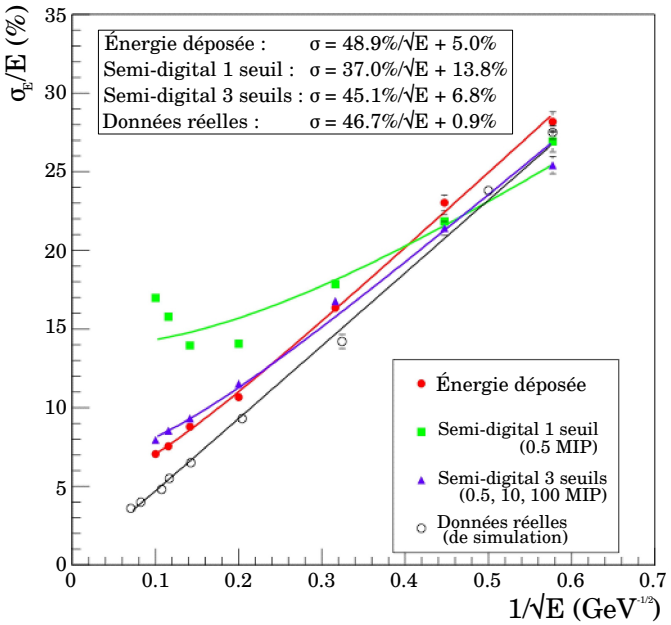


FIGURE 1.18 – *Comparaison des résolutions en énergie obtenues en simulation dans le cas d'une lecture « analogique », d'une lecture binaire et d'une lecture semi–digitale 3 bits. D'après [26].*

1.4.2 Détecteurs pour un prototype de DHCAL

Deux types de cellules à gaz ont été étudiées pour la réalisation d'un prototype de test d'un mètre cube de calorimètre semi–digital en Europe. Ces solutions ont été choisies en raison de leur faible coût et de l'insensibilité du gaz aux neutrons, ce qui permet une plus grande compacité des gerbes hadroniques et une moindre fluctuation de leur réponse.

1.4.2.1 Chambre à plaques résistives en verre (GRPC)

La GRPC [49] est le premier des deux types de cellules à l'étude.

On peut voir sa structure sur la figure 1.19. Deux fines feuilles de verre entourent un

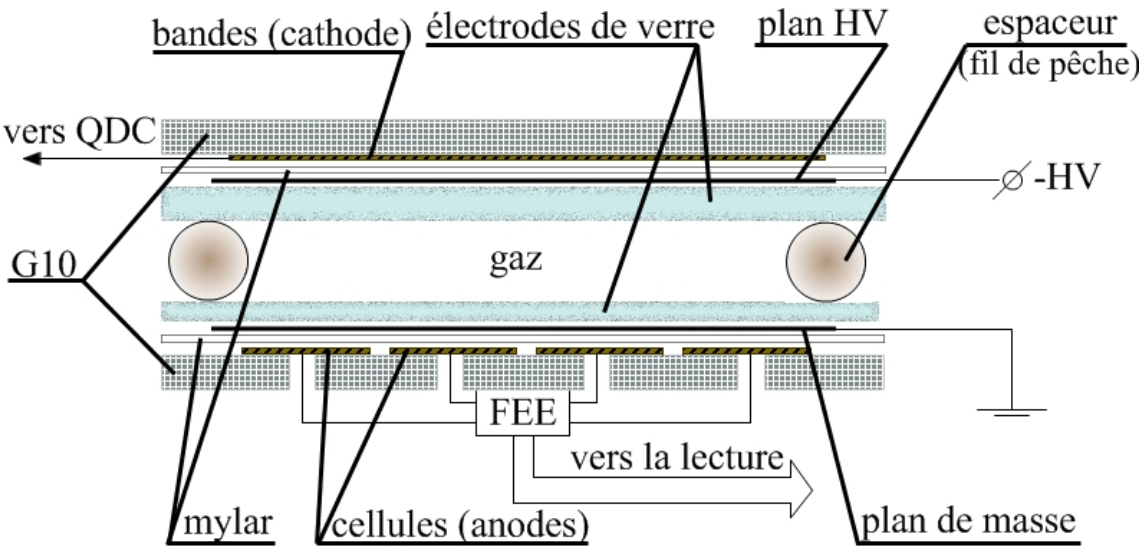


FIGURE 1.19 – *structure GRPC.*

volume de gaz. Elles sont couvertes d'une peinture résistive qui sert à la distribution d'une haute tension. Sous l'effet de cette tension, les électrons libérés dans le gaz par une particule ionisante sont accélérés et amplifiés par un phénomène d'avalanche. Ce signal est ensuite transmis aux cellules de l'anode par induction à travers la plaque de verre.

Ce type de détecteur peut fonctionner sous différents régimes en fonction de l'écartement des plaques et de la valeur de la heute tension. Deux modes de fonctionnement ont été étudiés à l'IHEP [50] [2] en vue d'une utilisation pour le DHCAL de l'ILD : un mode en avalanches saturées, dans lequel le signal électrique de sortie est proportionnel à la quantité de charges déposées dans le gaz par la particule ionisante, et un mode « streamer » dans lequel la réponse du détecteur est de type Geiger, à savoir des décharges ionisant l'ensemble de la cavité de gaz. Le mode proportionnel a été retenu pour ses caractéristiques de signal et son temps de recharge. En effet, pour chaque électron crée dans le milieu, un ion l'est également, qui migre très lentement vers la cathode, créant une charge d'espace. Pendant ce temps, la zone du détecteur concernée est aveugle au passage de nouvelles particules. En mode proportionnel, le taux de fonctionnement peut aller jusqu'à 100 Hz contre de l'ordre du Hz en mode « streamer ».

49. **G**lass **R**esistive **P**late **C**hamber : RPC à plaques en verre.

50. **I**nstitute for **H**igh **E**nergy **P**hysics : laboratoire Russe situé à Protvino à côté de Moscou, impliqué dans la réalisation du DHCAL européen.

Le temps de montée du signal, avec les paramètres utilisés, est compris entre 20 et 40 ns.

Les cellules mesurent $1 \times 1\,\mathrm{cm}^2$, et sont espacées de 1 mm. Pour la comparaison avec les MicroMeGaS qui ont des espacements plus faibles, cette distance a été abaissée à 500 μm.

Les types d'électronique de lecture jusqu'à présent utilisés sur ce type de détecteur sont des électroniques analogiques réalisant une amplification et une mise en forme du signal, comme par exemple le Gassiplex [51], un ASIC analogique 16 canaux développé par le CERN. Ils sont déportés du détecteur qui influe sur leur fonctionnement du fait de l'amplitude des signaux induits.

Ces détecteurs ont déjà été utilisés dans de nombreuses expériences, avec une grande variété de paramètres différents. On peut citer le déclenchement à muons de CMS (RPC en bakélite avec une lecture par bandes de cuivre) ou le détecteur de temps de vol de l'expérience ALICE [52] (RPC « Multi–gap »).

1.4.2.2 MicroMeGaS

La MicroMeGaS est le deuxième type de détecteur à l'étude pour la réalisation d'un DHCAL semi–digital en Europe. Ces détecteurs sont étudiés au LAPP [53] d'Annecy pour la collaboration.

La figure 1.20 montre sa structure. Ce détecteur est formé de trois grilles nommées

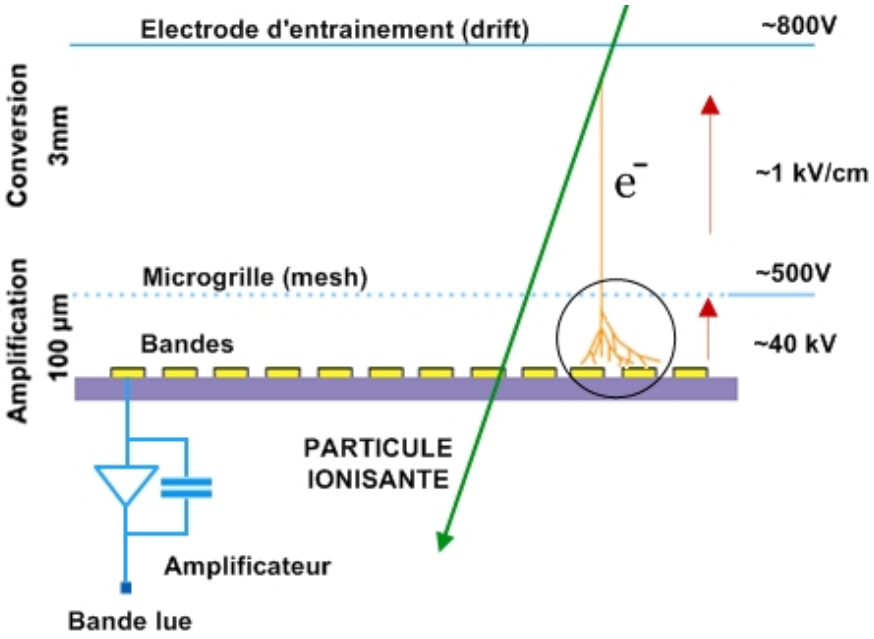


FIGURE 1.20 – *structure MicroMeGaS.*

« drift [54] » (ou électrode d'entraînement), « mesh [55] » (ou électrode de grille) et anode. Un champ entre le « drift » et la « mesh » entraîne les électrons générés par des particules

51. **Gas**eous detector **s**ignal **p**rocessor using multip**lex**ed analog outputs : ASIC du CERN développé pour le détecteur RICH HMPID et le spectromètre dimuon d'ALICE.
52. **A** **L**arge **I**on **C**ollider **E**xperiment : détecteur situé sur le LHC au CERN.
53. **L**aboratoire d'**A**nnecy-le-vieux de **P**hysique des **P**articules : laboratoire de l'IN_2P_3.
54. drift : électrode d'entraînement sur une MicroMeGaS, la première des deux, pour l'accélération.
55. mesh : électrode de grille sur une MicroMeGaS, la deuxième, pour déclencher l'avalanche.

ionisantes en les accélérant. Lorsque ceux ci arrivent à la « mesh », ils sont soumis à un fort champ électrique amplifiant ce signal par un phénomène d'avalanche. Ils traversent alors la distance de gaz jusqu'à l'anode ($\sim$100 μm) ou ils sont collectés.

La méthode de production du détecteur, de type « Bulk », consiste à coller la carte d'électronique de lecture contenant les cellules de l'anode sur la « mesh » par laminage. Le circuit imprimé est donc directement au contact du gaz.

1.5 Position du problème

Ces deux types de cellules sont en cours de test en faisceau avec l'électronique présentée au chapitre 2 (et 3). Les développements dans cette thèse seront plus particulièrement centrés sur l'utilisation des GRPC.

Chapitre 2

Électronique du calorimètre hadronique semi–digital

Le chapitre précédent traite en partie des différent types de détecteurs envisagés pour la réalisation d'un calorimètre hadronique semi–digital ; le développement d'un prototype de l'électronique associée qui constitue le sujet principal de cette thèse est exposé en détail dans ce chapitre 2.

Nous détaillons en premier (section 2.1) les conditions de fonctionnement de l'électronique digitale imposées par l'accélérateur lui–même, ainsi que les contraintes de réalisation liées à celles du calorimètre hadronique, tout ceci constituant dans un certain sens une forme de cahier des charges.

La collaboration CALICE a fait le choix d'intégrer dans un ASIC (nommé HaRDROC [1]) l'électronique analogique d'amplification (réalisée au LAL [2]) ainsi que l'électronique digitale, depuis les discriminateurs jusqu'à la sérialisation des données numériques pour leur transfert dans l'électronique de concentration située en aval. La section 2.2 décrit en détail cet ASIC. Après sa présentation générale (sous–section 2.2.1) et la description de l'électronique analogique qui y est intégrée (sous–section 2.2.2), nous présentons en détail notre contribution à la partie digitale du circuit (sous–sections 2.2.3 et 2.2.4) ainsi que les problématiques de consommation et de résistance aux radiations (sous–sections 2.2.5 et 2.2.6 respectivement). Un premier ensemble de 40 ASICs (nommés HaRDROC1) a été fondu (AMS [3]) et livré fin 2006. La sous–section 2.2.7 présente rapidement les résultats des premiers tests de ce circuit.

La section 2.3 présente maintenant notre contribution [4] à la réalisation d'une carte d'électronique (devant être installée dans un calorimètre à échantillonnage avec des cellules actives de type RPC (cf. chapitre 3)) comportant quatre de ces ASICs pilotés par un FPGA [5]. À la sous–section 2.3.2, nous présentons la schématique de cette carte, tandis que les problèmes liés à sa réalisation sont discutés en 2.3.3. En 2.3.4, nous présentons le microprogramme implémenté dans le FPGA.

Pour conclure ce chapitre, la section 2.4 détaille l'ensemble des logiciels réalisés parmi

1. **Ha**dronic **R**PC **D**etector **R**ead**O**ut **C**hip : ASIC du LAL pour la lecture des RPC, MicroMeGaS et GEM. Nommé ainsi car prévu pour accepter en entrée des signaux ayant un couplage au choix AC/DC.
2. **L**aboratoire de l'**A**ccélérateur **L**inéaire : laboratoire de l'IN_2P_3.
3. **Austria** **M**icro**S**ystems : fondeur autrichien.
4. en collaboration avec l'IPNL de Lyon
5. **F**ield **P**rogrammable **G**ate **A**rray : circuit intégré programmable à réseaux de portes logiques.

lesquels une librairie contenant les fonctions pour accéder depuis un ordinateur aux données et au chargement des paramètres de cette carte ainsi qu'un interface en ligne de commande.

2.1 Cahier des charges pour l'ILC

Cette partie a pour but d'énoncer les contraintes amenées par la physique qui fondent la réflexion sur le développement électronique.

Dans une expérience auprès d'un accélérateur, il est souhaitable de créer le plus possible d'évènements qui correspondent au phénomène recherché. Le faisceau utilisé a couramment une structure en paquets de particules. Ainsi, au niveau du point d'interaction auront lieu à intervalles réguliers des collisions entre des paquets de particules de taille et de densités connues.

Dans un accélérateur circulaire, les paquets font plusieurs fois le tour de l'accélérateur, et ce n'est que quand la qualité du faisceau s'est amoindrie qu'on procède à l'injection de nouvelles particules.

Dans un collisionneur linéaire, les particules n'interagissent qu'une seule fois, la structure en temps des collisions va dépendre fortement du temps de recharge de l'injecteur. En effet, avant leur injection dans l'accélérateur, les particules sont collimatées : lors de leur rotation dans l'anneau d'injection, elles perdront la part d'énergie d'excitation thermique par rayonnement synchrotron. On obtient par ce procédé un faisceau froid, dont on maîtrise mieux l'ouverture et la dispersion en énergie. On désignera par *train* l'ensemble des paquets de particules injectés entre deux recharges successives. En régime nominal, le faisceau de l'ILC aura la structure en temps suivante : 2625 paquets de particules de 1 ps de long toutes les 369.2 ns formant un train d'une durée totale d'environ 1 ms. Un train est injecté toutes les 200 ms (cf. ILC RDR [6][18]). La figure 2.1 résume la structure en temps du faisceau de l'ILC.

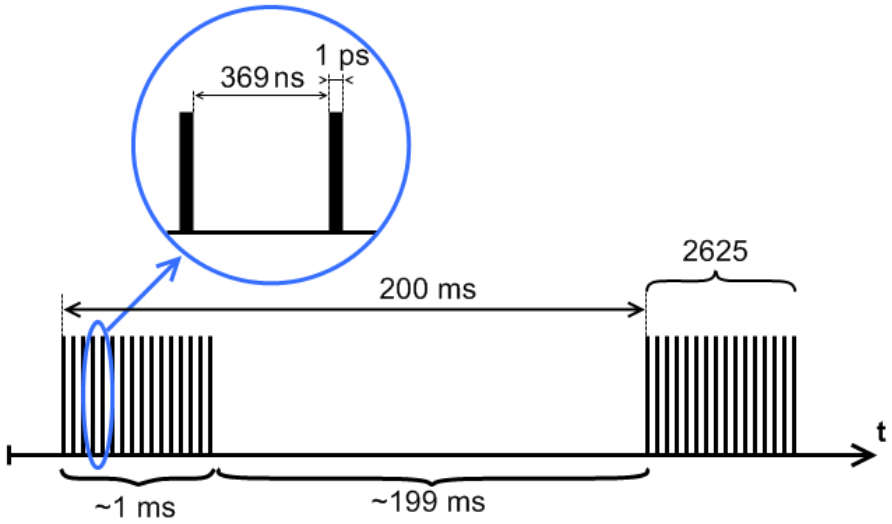


FIGURE 2.1 – *Structure en temps du faisceau de l'ILC. Chaque trait vertical représente un paquet de particules (*2.10^{10} *en régime nominal).*

Contrairement aux accélérateurs où l'on procède à des collisions de hadrons, la quantité

6. **R**eference **D**esign **R**eport.

de données attendue est relativement faible, particulièrement dans le baril du détecteur. Dans les bouchons, les angles sont plus faibles, le nombre de cellules touchées par évènement attendu est plus élevé. En effet, le nombre de collisions augmente fortement à petite impulsion transverse ; La trajectoire des particules correspondantes est courbée par le champ magnétique, ce qui fait qu'elles terminent leur course dans les bouchons. Le tableau 2.1, tiré pour part du DOD [7] de LDC[23] auquel sont rajoutées les informations sur le dernier modèle de DHCAL, résume les informations données par les simulations sur les taux d'occupations et les quantités de données attendues dans les barils des différents calorimètres.

Calorimètre	Dimensions transverses d'une cellule de détection (cm^2)	Nombre de Canaux ($\times 10^6$)	Nombre de Câbles ($\times 10^6$)	Données /train (Mégaoctet)	Données /calibration (Mégaoctet)
ECAL	0.5×0.5	100	10	90	98
AHCAL	3×3 à 10×10	5.6	0.1	3	13
DHCAL	1×1	38	0.1	0.7	40

TABLE 2.1 – *Dimension des cellules de détection, nombre de canaux, nombre de câbles et volumes de données attendus dans les barils des différents calorimètres de CALICE.*

Le schéma 2.2 résume la structure adoptée pour l'électronique d'acquisition dans les calorimètres de l'ILD, comparée avec celle utilisée dans le cas de CMS. Une particularité des calorimètres à échantillonnage comme ceux de l'ILC est que l'on ne réalise pas à la construction des connexions entre cellules pour former des tours mais que l'on cherche à lire séparément chaque cellule du détecteur. Ce choix est fait de façon à pouvoir séparer les contributions de chaque particule entrant dans les calorimètres. Cette architecture conduit à envisager un nombre de canaux qui se compte en dizaines de millions, à comparer aux dizaines de milliers canaux des calorimètres actuels. Un premier problème lié à ce grand nombre de canaux est celui de la distribution d'un signal de déclenchement tel qu'on le réalise habituellement. Chaque cellule va donc être équipée de son propre déclenchement (auto–déclenchement) pour mémoriser localement l'amplitude du signal à digitiser. Habituellement, le déclenchement de premier niveau est généré quelques μs après l'évènement ($\sim 3.2\,\mu$s dans le cas de CMS par exemple) comme la synthèse de conditions sur l'état d'un certain nombre de cellules. Un déclenchement cellule par cellule n'est possible que du fait du faible taux d'interaction dans le baril des sous–détecteurs et de la structure en temps du faisceau qui laisse des délais suffisants pour lire l'ensemble des données entre deux trains. Il nécessite également une bonne maîtrise du bruit. Un sous produit de cet auto–déclenchement est qu'il réalise « en dur » une suppression des cellules n'ayant pas d'énergie déposée.

Une contrainte qui va influer sur le cahier des charges de l'électronique est la minimisation au niveau des calorimètres de l'espace utilisé pour les matériaux autres que ceux de détection. En effet, les matériaux légers ont un rayon de Molière grand, ce qui diminue la compacité des gerbes, augmentant ainsi la probabilité qu'elles se mélangent entre elles. La concentration de ces matériaux cause des zones mortes. Ces dernières sont évitées le plus possible par l'agencement des différents constituants du sous–détecteur. Le reste est pris en compte autant que faire se peut dans les simulations et la reconstruction. La dimension

7. **D**etector **O**utline **D**ocument.

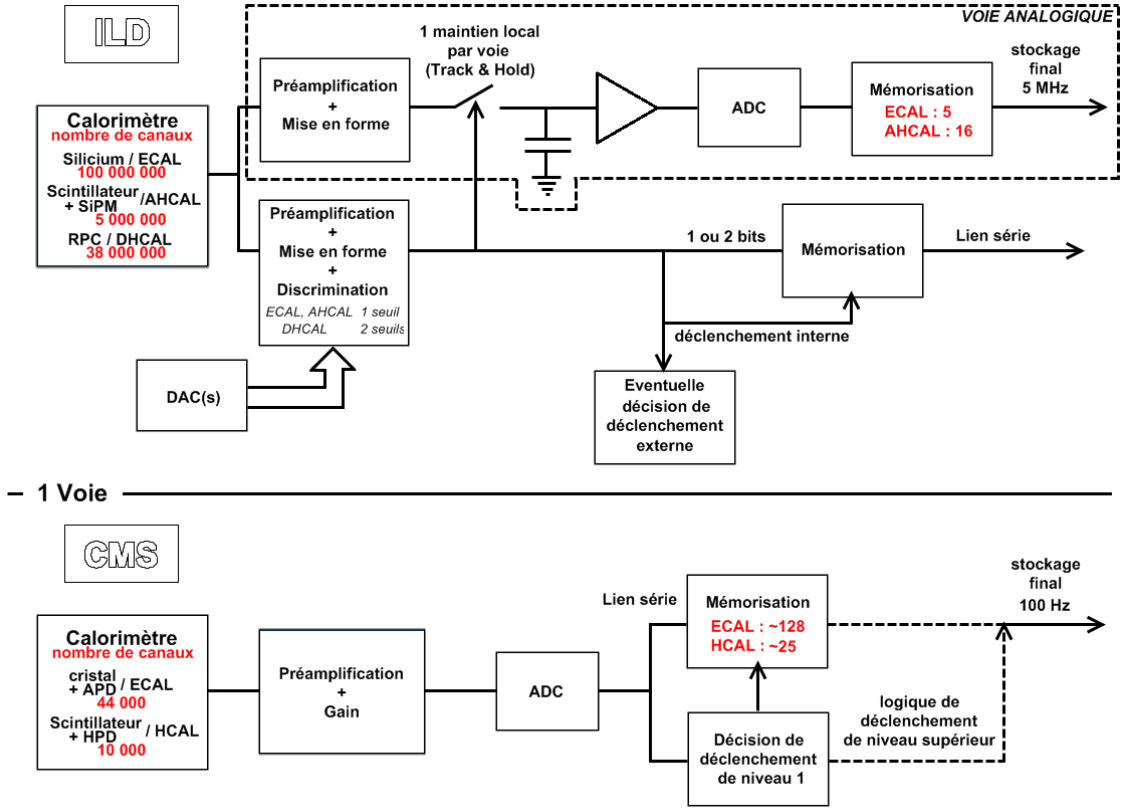


FIGURE 2.2 – *Schéma d'ensemble d'une voie de l'électronique des trois calorimètres électromagnétique (ECAL), hadronique analogique (AHCAL) et hadronique digital (DHCAL) de l'ILD comparé avec une voie de l'électronique des calorimètres électromagnétique et hadronique de CMS. En ce qui concerne le DHCAL de l'ILD, la voie d'électronique encadrée n'existe pas puisqu'on se contentera des deux bits de digitisation.*

des modules du détecteur est un compromis entre la minimisation de ces zones mortes et la place nécessaire pour les fils de données, les câbles d'arrivées et de sorties de gaz ou de tout autre type d'approvisionnement nécessaire. Dans l'ILD, un module mesurera à peu près 2,26 m de long. Il faudrait donc faire sortir les signaux sur cette distance dans le cas où la lecture s'effectuerait d'un seul côté.

Le nombre de canaux étant très élevé, la sortie des signaux analogiques vers le bord du module est problématique. Dans le cas du DHCAL, une cellule mesurant $1 \times 1\,\mathrm{cm}^2$, il faudrait passer 226 signaux par centimètre de largeur. Les câbles sont exclus pour des raisons de coût et de place, et cela serait très difficilement réalisable avec des pistes. On en vient donc naturellement au choix qui a été fait d'utiliser un circuit à sorties multiplexées, situé dans le détecteur. Le nombre de canaux par circuit choisi pour le DHCAL est de 64. La contrainte en longueur est donc maintenant reportée sur le circuit imprimé qui devra contenir de l'électronique active, mesurer de l'ordre de 226 cm de long et assurer une distribution des signaux d'horloge, de contrôle et de configuration. Comme un circuit imprimé ayant les dimensions nécessaires n'est pas réalisable, on en joindra plusieurs pour atteindre la longueur souhaitée.

La contrainte de minimisation de la quantité de matière morte impose que les circuits imprimés soient le plus fin possible. Une deuxième raison à la volonté de contraindre leur

épaisseur est l'impact que sa variation peut avoir sur le coût de réalisation du détecteur global. L'augmentation du rayon du sous–détecteur implique d'avoir un plus grand nombre de cellules de détection, plus d'absorbeur et se répercute également sur les dimensions de l'aimant et des sous–détecteurs situés au delà. Une des solutions envisagées afin de réduire l'espace occupé par ces cartes électroniques est d'y enterrer les circuits de multiplexage.

Le choix a été effectué de profiter des temps morts dans la structure en temps de l'accélérateur pour réaliser la lecture des circuits. Il faut donc pouvoir mémoriser tous les évènements occurrents lors d'un train de paquets de particules. Dès lors, il est obligatoire d'utiliser de la logique numérique à l'intérieur du circuit de lecture. Au vu du taux d'occupation spatial dans le baril du DHCAL, une mémoire de 5 cases par carré de 8×8 cellules devrait être suffisante (cf. [32]). La mémorisation d'évènements ponctuels implique leur repérage dans le temps.

Le circuit doit également pouvoir se synchroniser lors des lectures avec ses nombreux voisins.

La présence d'électronique au sein du détecteur implique de réduire le plus possible la chaleur qu'elle dégage et qui doit être évacuée. La maîtrise de la température de l'ensemble permet de rester dans des conditions de fonctionnement normales, que ce soit pour le détecteur ou pour l'électronique dont le fonctionnement est altéré par les variations de température (La majeure partie de la chaleur est dissipée par effet Joule). Si besoin est, un système de refroidissement approprié est également mis en place qui occupe lui aussi un certain espace. La consommation limite par voie d'acquisition a été fixée à $10\,\mu$W, ce qui est un compromis raisonnable entre les repères des électroniciens et l'épaisseur de matériau nécessaire à l'extraction de la chaleur hors du détecteur. De cette manière, il n'est pas nécessaire d'avoir un système de refroidissement actif à l'intérieur du détecteur.

Le tableau 2.2 résume l'ensemble des contraintes imposées à une électronique de lecture pour le calorimètre hadronique semi–digital de l'ILD.

2.2 Contribution au développement de l'ASIC HaRDROC1

Suivant les conclusions obtenues au paragraphe précédent, un ASIC a été conçu et réalisé pour les besoins de chacun des sous–détecteurs. Le LAL s'est occupé en collaboration entre autres avec le LLR de la conception et du dessin de ces ASICs. Le dessin du circuit HaRDROC [8] et une photographie de ce dernier au microscope sont visibles en figure 2.3 et 2.4. La puce de semiconducteur a une surface de $12\,\text{mm}^2$.

Le schéma 2.5 résume, à des fins de comparaison, les caractéristiques des ASICs réalisés pour les différents calorimètres de CALICE.

2.2.1 Généralités

Voyons maintenant plus en détail les caractéristiques de la première version de l'ASIC du DHCAL, nommée HaRDROC1. Dans cette version, le circuit possède pour chacune des 64 entrées deux voies d'acquisition séparées : la première est la voie digitale, qui donne sa particularité au principe de détection. Elle est équipée de deux seuils de détection (communs à toutes les entrées) et est constituée d'un préamplificateur, suivi d'une mise en forme rapide, de deux discriminateurs et deux latchs [9]. La seconde est la voie analogique ;

8. Les circuits réalisés pour le ECAL et le AHCAL se nomment SKIROC et SPIROC

9. latch : élément unitaire de mémorisation en électronique. Cela correspond à l'étage d'entrée d'une bascule.

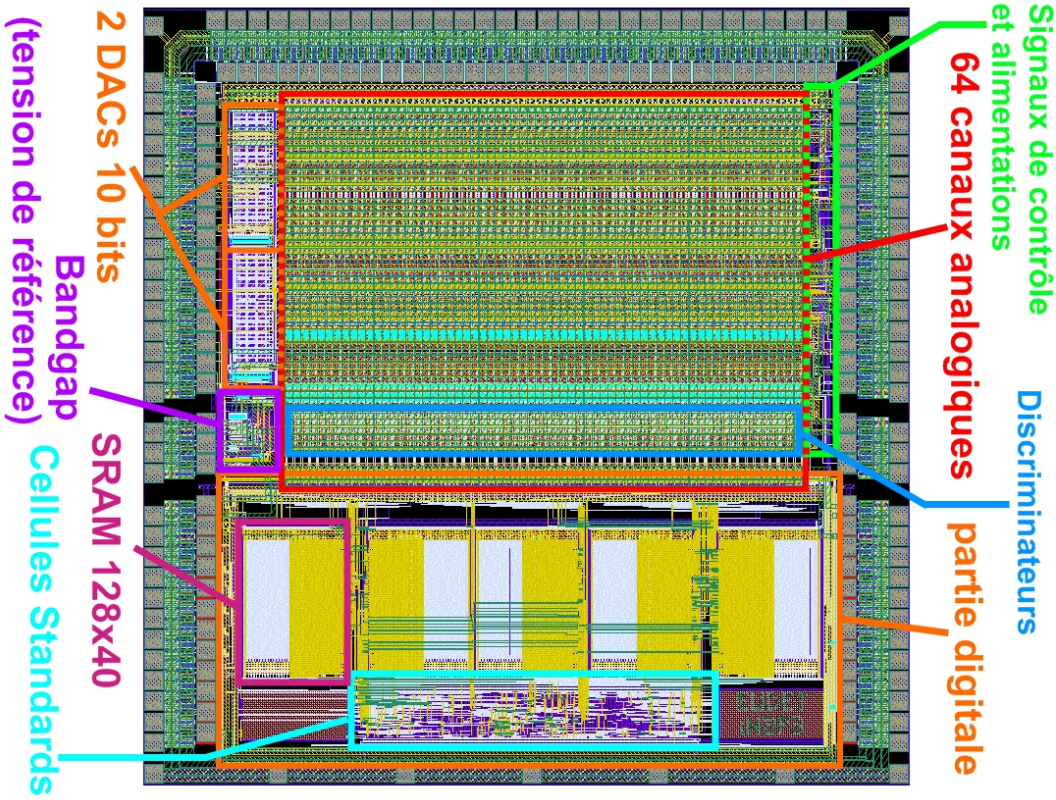


FIGURE 2.3 – *Dessin de l'ASIC HaRDROC1.*

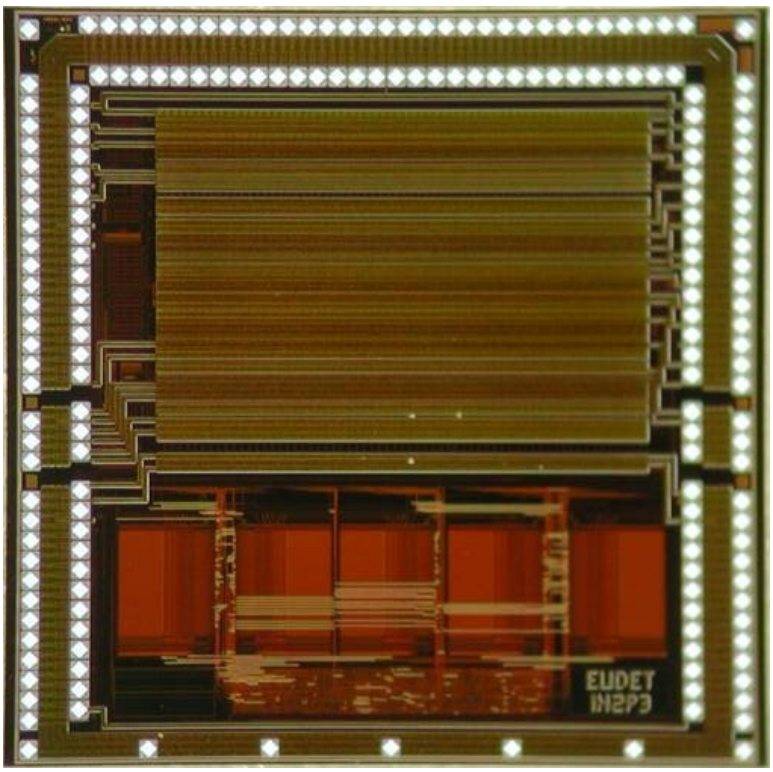


FIGURE 2.4 – *Photo au microscope de la puce de l'ASIC HaRDROC1.*

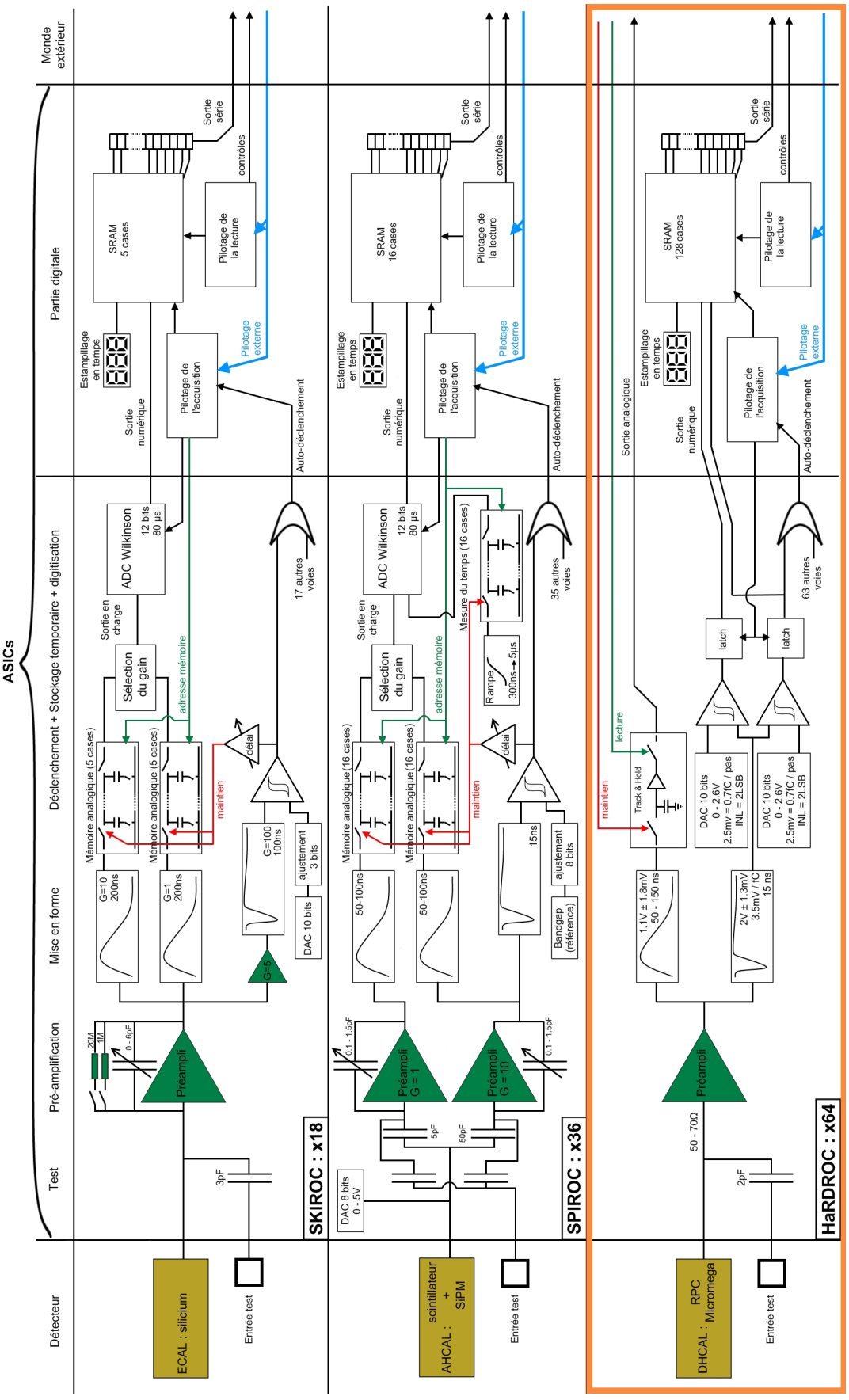


FIGURE 2.5 – *Schéma fonctionnels des trois ASICs d'ILD réalisés par la collaboration.*

	minimal	nominal	maximal
Période de l'horloge machine	180 ns	369 ns	500 ns
Nombre de paquets par train	1260	2625	5340
Longueur d'un cycle	200 ms		
Nombre de voies	38 000 000		
Taux d'occupation	∼5 évènements / train / carré de 8 × 8 cellules d'un même plan		
	total	par voie	
Puissance maximum dissipée	380W	10 μW	
Coût (détecteur + électronique)	40–50 M€	∼1€	
Longueur maximum du circuit imprimé	2.60 m		
Épaisseur (circuit imprimé + composants)	2.2 mm		
Espace disponible en bout de circuit (h×L)	(2.6 cm × 10 cm)		
Type de cellule	GRPC	MicroMeGaS	
Dimension	$1 \times 1\,\mathrm{cm}^2$		
Temps de montée	20–40 ns	1–2 ns	
Durée du signal	140–160 ns	10–30 ns	
Capacité	∼10 pF	∼3 pF	
Dynamique du signal	10 fC–10 pC	3 fC–1 pC	
Seuil minimum de déclenchement (MIP)	100 fC	∼3 fC	
Déclenchement	auto–déclenchement / cellule		
Nombre de seuils	3		
Diaphonie	<1 %		
Gain réglable / canal, suppression des voies bruyantes, anodes sur une face du circuit imprimé			

TABLE 2.2 – *Cahier des charges de l'électronique pour le DHCAL de l'ILD.*

elle est constituée d'un préamplificateur (partagé avec la voie numérique), suivi d'une mise en forme lente, puis d'un Track and Hold [10]. Cette voie, qui ne devrait plus exister dans la version finale de l'ASIC, permet d'y associer une acquisition analogique. On veut en effet vérifier que les données prises avec la voie digitale, calibrée au préalable et configurée selon les résultats attendus par la simulation, mènent à des résultats cohérents avec ceux obtenus par une acquisition analogique plus traditionnelle.

HaRDROC1 possède une partie d'électronique numérique, à la conception de laquelle j'ai participé, chargée de piloter l'acquisition, de stocker en mémoire les évènements accompagnés de leur estampillage en temps, puis de les transmettre en série à l'extérieur lors de la phase de lecture des données. Les machines d'états d'acquisition et de lecture

10. Track and Hold : dispositif qui suit le signal jusqu'à l'apparition d'un déclenchement externe. A cet instant, il stocke la valeur du signal dans une capacité. La différence vis à vis d'un Sample and Hold est qu'il est limité en fréquence du signal à échantillonner.

fonctionnent avec passage de relais mutuel.

Les paragraphes suivants détaillent les différents blocs constitutifs du HaRDROC1.

2.2.2 Électronique analogique

2.2.2.1 Le préamplificateur

Pour la conception de l'électronique d'amplification, il a été considéré que le signal d'entrée en charge est assimilable à un dirac de courant. Les entrées ne possèdent pas de capacité. De cette manière, il est possible de choisir entre un couplage continu et un couplage alternatif. Les impédances d'entrée, comprises entres 50 et 70 Ω, sont faibles afin de maximiser le rapport signal sur bruit et la diaphonie. Le préamplificateur permet de compenser les variations dûes au procédé de fabrication des circuits intégrés ainsi que les différences entre les canaux d'un détecteur. Il permet également d'ajuster le niveau de signal dans le cas des MicroMeGaS. Il est composé d'un préamplificateur commun (préamplificateur de courant super base commune) et d'un miroir de courant variable qui permet d'ajuster le gain avec un facteur qui peut varier de 0 à 4 par pas de $62.5.10^{-3}$ (6 bits). Il peut être réglé par configuration externe sur chacune des 64 voies de l'ASIC. Le gain 0 devait correspondre à une déconnexion de l'entrée correspondante mais cette facilité n'est pas fonctionnelle dans cette version du composant.

2.2.2.2 Mise en forme de la voie digitale

Habituellement, la mise en forme est utilisée en partie pour retarder le signal d'un délai fixe, afin de laisser le temps au déclenchement externe de parvenir jusqu'au circuit. Dans le cas du DHCAL, l'ASIC est prévu pour fonctionner avec un déclenchement interne. Il n'y a donc pas besoin de retarder le signal, ce qui permet d'avoir un fonctionnement plus rapide. La mise en forme est utilisée pour réaliser une conversion courant/tension et ce, en améliorant le rapport signal sur bruit.

Elle suit un schéma de type CRRC avec un temps de pic minimum de 15 ns, ce qui correspond à un gain de 3.5 mV/ fC. Le temps de pic est réglable par configuration externe afin de maximiser le rapport signal sur bruit en sortie de la mise en forme. La meilleure configuration correspond à un gain d'environ 1 mV/fC, soit un temps de pic d'environ 20 ns.

Les sorties quittent la zone du substrat dite d'électronique analogique pour arriver dans la partie d'électronique mixte analogique/numérique où elles vont entrer sur les discriminateurs.

2.2.2.3 Mise en forme de la voie analogique

La mise en forme dite « lente » a un temps de pic réglable par configuration externe de 50 à 150 ns, un gain résultant de l'ordre de 50 à 80 mV/ pC selon le temps de mise en forme choisi, et un niveau continu de 1.10 V±1.8 mV. Elle est réalisée selon un schéma de type $CRRC^2$.

2.2.2.4 Sorties analogiques

Les sorties analogiques sont multiplexées par les signaux des bascules d'un registre à décalage dédié. Son pilotage est effectué de telle manière que deux sorties ne soient jamais

connectées simultanément. Un OTA [11] est placé en aval qui pilote la ligne à l'extérieur du circuit vers un système de digitisation externe. Le registre à décalage est conçu pour fonctionner à une vitesse maximum de 1 MHz, ce qui implique pour ce seul circuit de 64 voies un temps d'accès minimum de 64 μs.

2.2.3 Électronique mixte analogique/numérique

Les problèmes de diaphonie dans les circuits comprenant à la fois de l'électronique analogique et de l'électronique digitale nécessitent de prendre un certain nombre de précautions. Les fabricants de circuits intégrés préconisent de garder une certaine distance entre les deux blocs et de polariser séparément les substrats des parties analogique, numérique et mixte. De cette manière, les zones sont isolées par la résistance de substrat qui croit avec la distance. Une attention particulière a été portée à ces problèmes lors de la réalisation du HaRDROC1 et des mesures supplémentaires ont été adoptées : un caisson de type N a été mis autour de la partie numérique et une zone intermédiaire a été ajoutée dite d'électronique mixte qui est polarisée séparément.

Cette section traite des discriminateurs et des latchs qui font suite aux mises en forme rapides.

2.2.3.1 Discrimination du signal

Chaque voie numérique possède deux sous–voies numérotées « 0 » et « 1 » auxquelles sont associés deux discriminateurs. Un discriminateur est un trigger de Schmitt. Il compare la sortie de la mise en forme rapide avec une tension continue. Celle ci est fournie par un DAC [12] 10 bits réglable par configuration externe (son pas est de 2.5 mV et ses résidus de $\pm$5 mV pour une dynamique de 2.6 V). Deux DACs fixent séparément les 2 seuils communs à toutes les voies.

2.2.3.2 Les latchs

On appelle de manière générale latch une bascule RS [13]. C'est un élément asynchrone, il ne possède pas d'entrée d'horloge. La problématique est la suivante : nous avons un signal en sortie d'un discriminateur qui selon la hauteur du signal de sortie de la mise en forme au cours du temps aura une largeur variable d'un évènement à l'autre. Ce signal transitoire peut durer un temps très court et la période du signal d'échantillonnage utilisé pour le stocker dans une mémoire numérique devrait lui être d'au moins deux fois inférieur. Une mémorisation analogique asynchrone permet des temps de réponse bien inférieurs et donc une observabilité accrue. C'est pourquoi ce type de composant a été choisi. Il en faut un par seuil sur l'ensemble des voies.

Le latch que nous désirons devra lorsqu'autorisé par le signal `ValEvt` passer au niveau logique 1 sur la montée de la sortie du discriminateur (`Evt`), et être remis à 0 par le signal `RazChn`. Comme le signal `RazChn` est généré par la logique numérique, un latch classique nous imposerait de nous affranchir du fait qu'il puisse être actif en même temps que le signal `Evt`. Un latch à remise à zéro prioritaire a donc été choisi. Quel que soit l'état de ses autres entrées, le latch restera à 0 si le signal `RazChn` est actif. Le schéma 2.6 présente un

11. **O**perationnal **T**ransimpedance **A**mplifier : amplificateur opérationnel transimpédance.
12. **D**igital to **A**nalog **C**onverter : convertisseur numérique-analogique.
13. bascule RS : bascule **R**eset **S**et. Elément unitaire de mémorisation en électronique. Peut être mis alternativement dans les états logiques 1 ou 0 mais prend un état indéterminé lorsque ses deux entrées sont actives en même temps.

diagramme des transitions d'états du latch au cours de son fonctionnement (en abscisse les différentes combinaisons d'états de ses entrées et en ordonnée la valeur de sa sortie). On

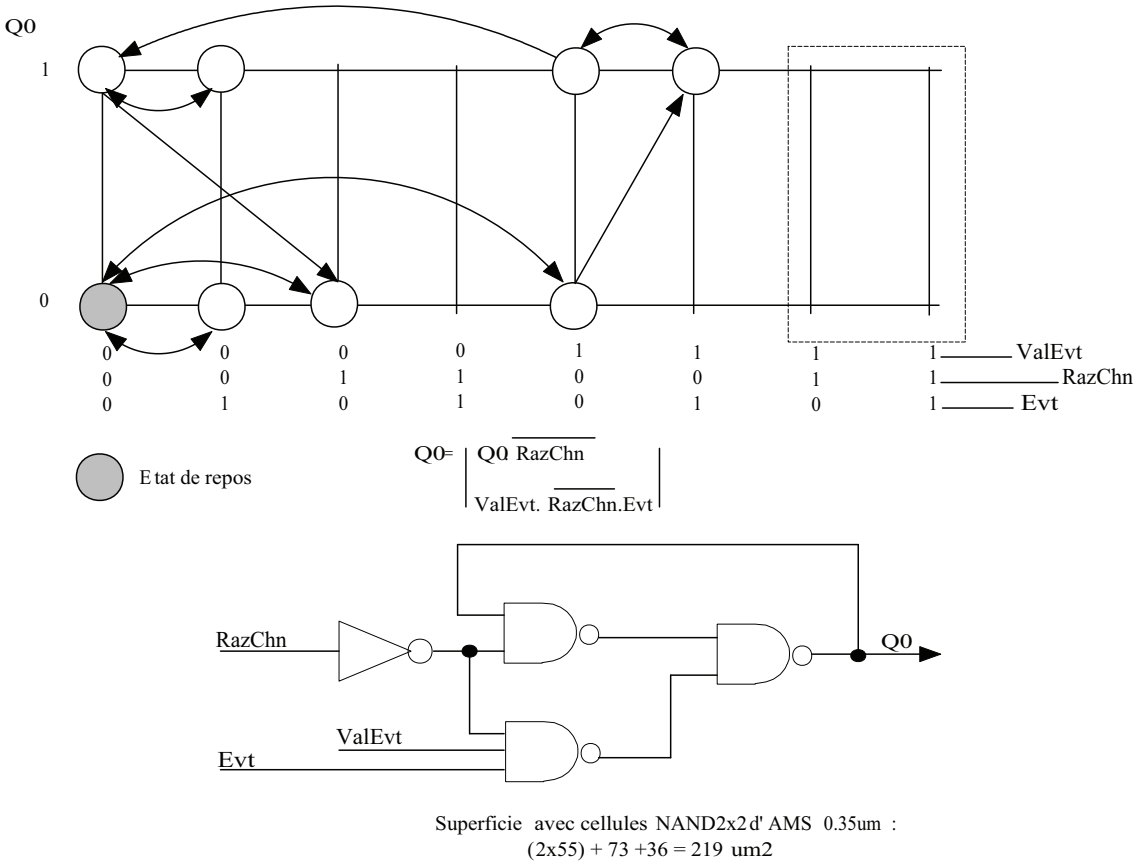


FIGURE 2.6 – *Schéma fonctionnel du latch utilisé dans l'ASIC HaRDROC1.*

tire de ce diagramme l'équation logique située juste en dessous en déduisant l'état suivant de l'état présent et de la transition occurrente. L'équation logique permet alors de réaliser son schéma en porte logiques.

Les latchs sont situés dans la partie du substrat consacrée à l'électronique numérique, mais sont implantés manuellement avec les outils de développement d'électronique analogique.

Étant un composant asynchrone, le latch doit être utilisé avec parcimonie dans un circuit numérique à cause des risques accrus de métastabilités. Ce sont des oscillations qui peuvent se produire en sortie d'un élément synchrone si on viole certains délais sur ses entrées comme les temps de présentation et de maintien (Setup et hold, en anglais dans la littérature). Son utilisation va à l'encontre de ce qu'on appelle le principe du « tout synchrone ». Des précautions ont été prises dans la conception de la logique numérique de l'acquisition afin de diminuer la probabilité qu'un tel évènement se produise. Dans le pire des cas, il pourrait nécessiter une remise à zéro de la logique d'acquisition.

Un signal supplémentaire ajouté en entrée du latch devait permettre de masquer un canal défectueux par configuration pour éviter le cas où le déclenchement interne serait constamment actif, mais cette fonctionnalité n'est pas opérationnelle, problème qui sera réglé dans la prochaine version de l'ASIC.

2.2.3.3 Déclenchement interne digital

Le déclenchement interne est réalisé à partir du OU logique entre les sorties des latchs des sous–voies « 1 » des 64 voies de l'ASIC. Le signal généré est utilisé par la partie numérique comme signal d'écriture en mémoire des sorties des 64×2 latchs.

L'écriture peut alternativement être commandée par un signal d'enregistrement externe de façon à permettre, en cas de besoin, de forcer la synchronisation des acquisitions numériques et analogiques. C'est également utile lors de tests en faisceau si la structure en temps du faisceau n'est pas compatible avec celle du faisceau de l'ILC ou si les taux d'auto–déclenchement sont trop élevés pour l'acquisition numérique.

2.2.4 Électronique digitale

Dans cette partie est présenté le fonctionnement de la logique digitale de HaRDROC1 comprenant les machines d'état d'acquisition et de lecture ainsi que les interfaces avec l'extérieur. Les résultats des simulations sont ensuite exposés avec les prédictions qu'elles peuvent permettre de faire par exemple en ce qui concerne la fréquence de fonctionnement de l'acquisition. Les schémas des machines d'état de ces entités ne seront pas détaillés du fait de leur complexité mais sont joints, à toutes fins utiles, dans les annexes A.1 et A.2.

Le tableau 2.3 liste les signaux d'interface entre la partie numérique de l'ASIC et le monde extérieur. Leur nombre a été minimisé afin de faciliter les interconnexions. Certaines

Nom	Direction	Standard	Actif	Commun	Adaptation
Rstb	Entrée	LVCMOS [a]	Bas	Oui	Oui
Clk40MHz	Entrée	LVDS [b]	Front montant	Oui	Oui
SlowClk	Entrée	LVDS	Front montant	Oui	Oui
StartAcqt	Entrée	LVCMOS	Haut	Oui	Oui
ValEvt	Entrée	LVDS	Haut	Oui	Oui
RazChn	Entrée	LVDS	Haut	Oui	Oui
StartReadout	Entrée	LVCMOS	Haut	Non	Non
OutSerie	Sortie	LVCMOS	Bas	Oui	Non
TransmitOn	Sortie	LVCMOS	Bas	Oui	Non
RamFull	Entrée/Sortie	LVCMOS	Bas	Oui	Non
RamExtFull	Entrée	LVCMOS	Haut	Oui	Oui
EndReadout	Sortie	LVCMOS	Haut	Non	Non

TABLE 2.3 – *Liste des signaux de communication entre la partie digitale de l'ASIC HaRDROC1 et l'extérieur.*

a. **L**ow **V**oltage **CMOS** : standard électronique bas niveau.
b. **L**ow **V**oltage **D**ifferential **S**ignaling : standard électronique différentiel bas niveau.

lignes du circuit imprimé hôte sont pensées pouvoir fonctionner sans adaptation afin de diminuer sa consommation. Les fréquences de fonctionnement concernées (1 MHz prévu pour la lecture) doivent pouvoir le permettre.

2.2.4.1 Machine d'états d'acquisition

Lorsque la partie digitale de l'ASIC est prête à enregistrer un évènement et qu'elle reçoit le signal de démarrage de l'acquisition (`StartAcqt`) de la part de la DAQ [14], elle débloque les latchs en désactivant leur signal de remise à zéro (`RazChn`) et en activant leur signal d'autorisation `ValEvt`. Lorsqu'un déclenchement survient, le signal d'autorisation est à nouveau désactivé pour éviter que d'autres latchs ne basculent avant le stockage de l'évènement en mémoire. La mémoire de stockage, de type SRAM [15] est utilisée comme une LIFO [16]. Chaque évènement y est stocké assorti d'un identifiant du circuit (sur 8 bits, chargé par configuration externe) et d'un estampillage en temps, qui est la valeur d'un compteur gray [17] 24 bits de l'horloge machine de l'accélérateur. Une fois l'évènement enregistré, les latchs sont remis à zéro, afin de pouvoir accepter un nouvel évènement. Le compteur gray est quant à lui remis à zéro avant chaque début de train de l'accélérateur.

L'acquisition s'arrête lorsqu'un des ASICs d'une carte est plein (signal `RamFull` à 1) ou, éventuellement, sur la levée d'un signal d'arrêt externe (`RamExtFull`) que l'acquisition peut envoyer. Le signal de remise à zéro est alors réactivé jusqu'au démarrage de la prochaine phase d'acquisition. Si un des ASICs situé sur le même circuit imprimé est plein ou que la DAQ stoppe l'acquisition, et qu'un signal de déclenchement arrive au cours de la même période de l'horloge système, l'évènement courant sera enregistré avant de sortir du mode d'acquisition. Le signal `RamFull` est un bus commun bidirectionnel permettant aux différents HaRDROC's situés sur une même carte de communiquer. Ainsi, le premier ASIC à avoir rempli sa mémoire arrête l'acquisition dans tous les autres ASICs de la carte.

2.2.4.2 Machine d'états de lecture

Une fois la phase d'acquisition stoppée, l'ASIC attend de l'acquisition une impulsion sur le signal `StartReadout` pour passer à la phase de transmission des données acquises. La lecture de tous les ASICs d'une carte s'effectue sur une même ligne, à tour de rôle, par un système de passage de jeton : Un ASIC reçoit le jeton `StartReadout`, signale sur un bus `TransmitOn` qu'il transmet des données sur la sortie série, puis passe le jeton à l'ASIC suivant lorsqu'il a terminé.

La mémoire est lue en commençant par le dernier évènement stocké puis en décrémentant son pointeur de lecture. Dans le cas où elle n'a pas été remplie, une trame erronée est lue car le pointeur qui est incrémenté après le stockage d'un évènement devrait être décrémenté avant le démarrage de la lecture. Cette trame peut donc contenir un évènement enregistré au cours d'une acquisition précédente ou une valeur quelconque si la case correspondante n'a pas été encore initialisée. Cette fausse trame est retirée des données au moment de l'analyse.

2.2.4.3 Simulations, délais attendus

Les schémas 2.7 et 2.8 représentent les signaux digitaux internes du circuit intégré dans un cadre de fonctionnement prévisionnel sans délais de routage. L'ASIC devrait au

14. **D**ata **A**c**Q**uisition : acquisition de données.

15. **S**tatic **RAM** : mémoire statique constituée de bascules, par opposition aux mémoires dynamiques DRAM composées de condensateurs.

16. **L**ast **I**n, **F**irst **O**ut : registre de type pile, dernier chargé, premier sorti.

17. gray : du nom de l'ingénieur américain F. Gray bien que déjà utilisé par E. Baudot dans les télégraphes en 1878. Code binaire réfléchi, permettant de compter en ne changeant qu'un bit à la fois. Utile pour éviter des erreurs de comptage.

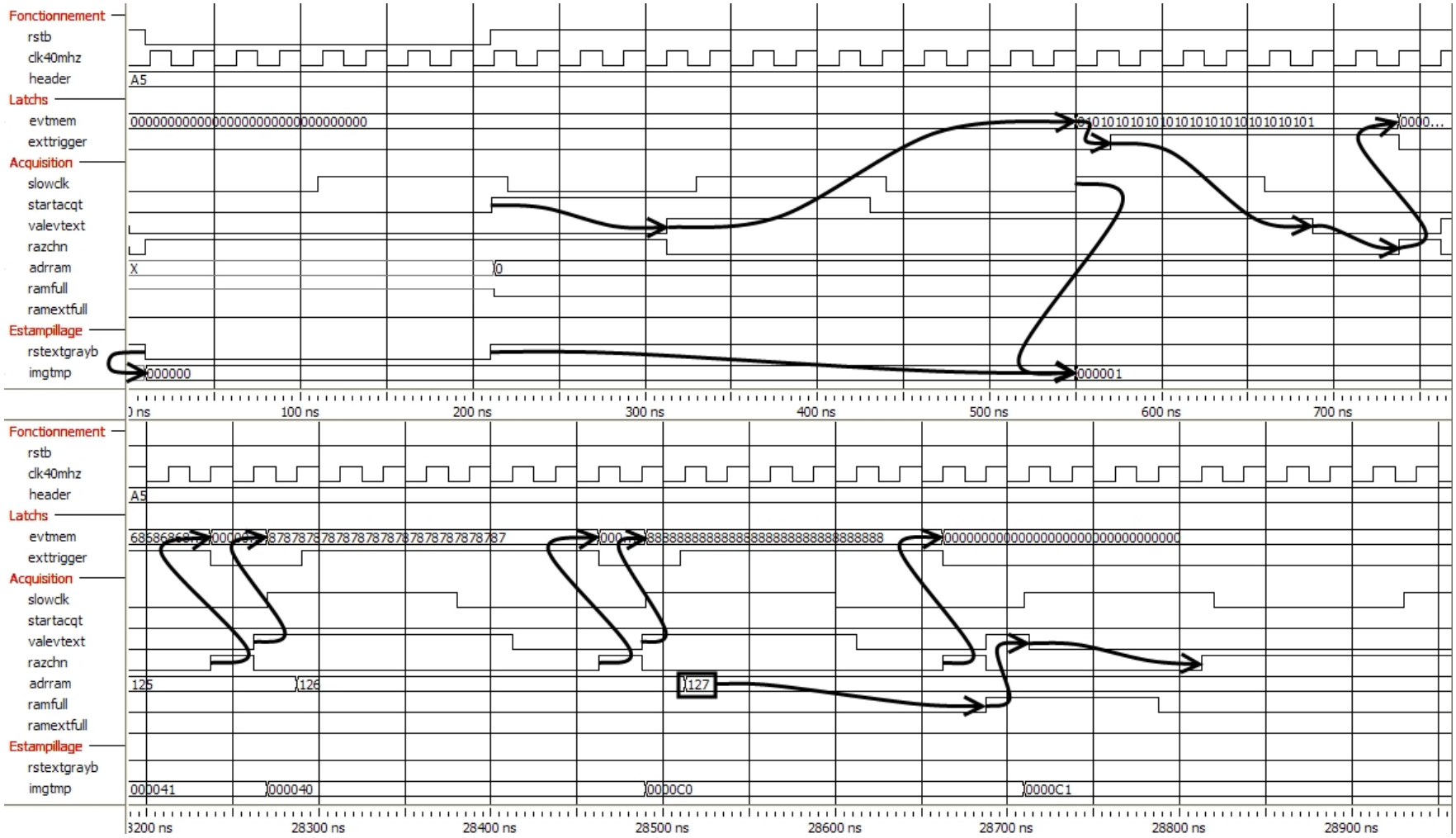


FIGURE 2.7 – *Schéma de la simulation fonctionnelle de la machine d'états d'acquisition de HaRDROC1 en début (haut) et fin (bas) d'acquisition. Noter les variations des signaux de pilotage des latchs :* `ValEvt` *pour l'autorisation et* `RazChn` *pour la remise à zéro. Le 1er descend quand l'ASIC est prêt à prendre des données et remonte après chaque évènement. Le 2nd monte pendant 1 période d'horloge lorsqu'une donnée a été enregistrée. Sur front du signal de déclenchement* `ExtTrigger` *le compteur gray d'estampillage* `ImgTmp` *est incrémenté. Lorsque 128 évènements ont été enregistrés, une impulsion est envoyée sur le signal* `RamFull` *avant de quitter le mode d'acquisition.*

maximum être capable d'enregistrer un évènement tous les 2 coups d'horloge système, soit 50ns, ce qui est bien suffisant pour les conditions de fonctionnement de l'ILC (369.2 nsentre deux croisements de paquets).

2.2.5 Problématique de la consommation

Le HaRDROC1 a été conçu et dessiné dans le but de minimiser sa consommation (choix des composants et des architectures). Afin de dépasser ces limites de conception, il est également prévu que son alimentation soit pulsée. Les alimentations ne sont pas à proprement parler éteintes, des signaux externes permettent chacun de déconnecter un bloc donné de ses circuits de polarisation (`power_on_a` pour les préamplificateurs et les mises en forme rapides, `power_on_d` pour la partie digitale, `power_on_dac` pour les DACs et `power_on_ss` pour les mises en forme lentes). Dans cette première version du circuit, la pulsation de l'alimentation des DACs n'est pas encore implémentée. Ce sera fait dans la version suivante.

Tous les signaux de communication sensibles ont été implémentés en LVDS qui allie faible consommation et forte intégrité de signal. Les bus de communications entre les ASICs ont été instanciés en collecteur ouvert, afin que ces derniers puissent interagir sur une même piste. Ils ne peuvent pas dans cette version lire le bus mais uniquement l'écrire, ce qui permet déjà de réduire le nombre de pistes sur la carte électronique sur laquelle ils seront montés. Afin d'avoir des fronts de signaux plus francs, ils devraient également dans l'avenir utiliser des pilotes haute impédance.

2.2.6 Résistance aux radiations

Les risques auxquels on peut s'attendre en ce qui concerne l'électronique dans un environnement soumis aux radiations sont divers :

- l'électronique analogique est plutôt sensible au TID [18]. Cela fait varier les tensions de seuil des transistors MOS [19], diminue leur transconductance et induit des courants de fuite, ce qui a pour effet au final d'accroître le bruit. L'effet s'annule lorsque l'irradiation est arrêtée, mais il doit être pris en compte lors du traitement postérieur des données. Pour les transistors bipolaires, le gain à faible courant de collecteur est atténué, ce qui contribue également à diminuer le rapport signal sur bruit. Il est parfois nécessaire d'appliquer un traitement thermique pour annuler cet effet.
- l'électronique numérique pour sa part est plutôt sensible aux SEEs [20] et particulièrement aux SEUs [21]. Ceux ci ont pour effet de corrompre les données contenues dans les mémoires. Certaines mémoires sont prévues pour y avoir une certaine résistance, ce qui n'est pas le cas des SRAM. On peut quantifier le risque avec les informations données par le constructeur.

Dans l'ILC, comme le taux de collisions est bas et qu'elles s'exercent entre leptons, les taux de radiation seront faibles, au moins dans le baril des sous–détecteurs ; les risques d'erreurs ou de dégradation de l'électronique qui pourraient leur être imputés sont en proportion.

18. **T**otal **I**onising **D**ose : charge ionisante totale induite par une radiation. Le type d'évènement attendus est la création de paires électron/trou.

19. **M**etal **O**xyde **S**emiconductor : type de transistor qu'on peut facilement utiliser dans un mode de fonctionnement bloqué/saturé.

20. **S**ingle **E**vent **E**ffect : évènements isolés causés par des particules fortement ionisantes qui créent des défaillances fonctionnelles temporaires ou définitives. Egalement appelés Soft error (erreur logicielle).

21. **S**ingle **E**vent **U**pset : type de SEE qui consiste en un aléa logique.

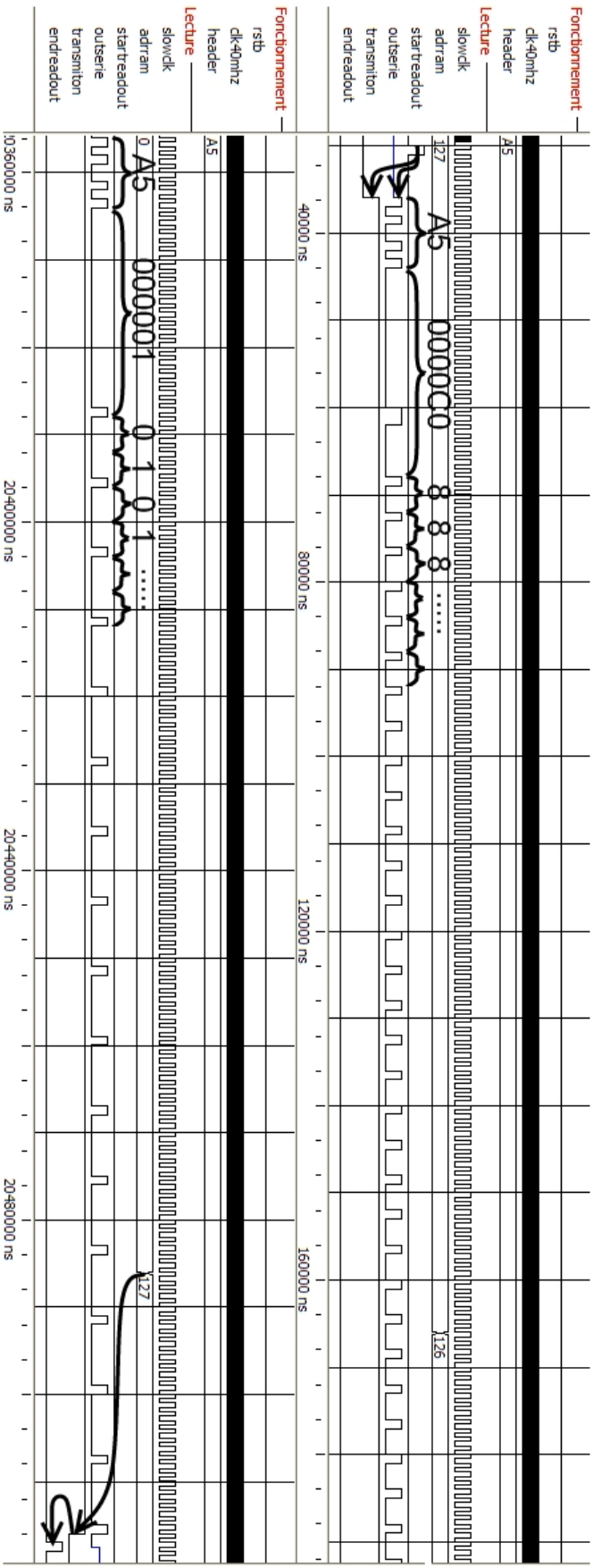


FIGURE 2.8 – *Schéma de la simulation fonctionnelle de la machine d'états de lecture de HaRDROC1 en début (haut) et fin (bas) de lecture. Lorsqu'il reçoit une impulsion sur le signal* **`StartReadout`**, *l'ASIC commence à transmettre ses données. Il envoie d'abord le dernier évènement de sa mémoire, puis l'avant–dernier, et ainsi de suite jusqu'au 1^er^. Les mots de données mis en évidence correspondent aux 1^er^ et dernier évènements enregistrés par la machine d'états d'acquisition sur la figure 2.7.*

Le circuit est réalisé en technologie AMS 0.35μ BiCMOS [22] SiGe [23]. La taille de cette technologie permet d'avoir une assez bonne résistance aux radiations, nécessaire puisque le circuit sera placé dans le détecteur, mais plus particulièrement encore pour les tests en faisceau où il sera soumis à des intensités de rayonnement plus importantes. En effet, la faible épaisseur de l'oxyde de grille fait que les charges piégées à l'interface s'évacuent plus aisément par effet tunnel, et que les décalages des tensions de seuil des transistors sont moindres.

Pour l'électronique numérique, on peut s'attendre à plus d'effets car les capacités intégrées sont plus petites et rendent donc plus sensibles à la charge déposée. C'est une des raisons pour laquelle la quantité d'électronique numérique intégrée a été minimisée. Mais la quantité d'électronique digitale située dans les autres ASICs de CALICE est plus importante et des études comme celle de V. Bartsch dans [10] seront à réaliser pour déterminer l'amplitude des risques encourus, savoir quel modèle de conception adopter afin de s'en affranchir. De nombreuses études ont déjà été réalisées sur ce sujet que ce soit dans le cadre de la physique des particules (cf. [6]), du spatial (cf. [31]) ou même dans les risques de fautes pour l'électronique à plus large échelle (cf. [24]).

2.2.7 Description de la carte de test de HaRDROC1

Les premières mesures sur la quarantaine d'ASICs fondus fin 2006 ont été réalisées au LAL sur une carte de test dédiée. Celle–ci comprend outre un ASIC en boîtier (il en existe également une version COB [24]) un FPGA Altera Cyclone 1 permettant de piloter le circuit ainsi que des interrupteurs, un ADC [25] 12 bits 10 MHz et un accès USB [26]. Une capacité externe est également présente, permettant de transformer un échelon en tension en une quantité de charge à injecter sur une voie ou un groupe de voies qu'on peut sélectionner avec des interrupteurs. Cette capacité peut se substituer à la capacité de test interne présente sur chaque voie de l'ASIC, les technologies de gravure ne permettant d'avoir une précision sur sa valeur que de l'ordre de 20 %(d'une voie à l'autre ou d'un ASIC à l'autre pour la même série, la différence n'est que de quelques pourcents. Une calibration avec une précision correcte est donc réalisable avec ces capacités internes).

Cette carte a permis d'évaluer l'état de l'ASIC : le niveau des points de polarisation a été vérifié ; Ils ont été ajustés le cas échéant pour avoir un fonctionnement optimisé des différents blocs. Le bon fonctionnement de chacune des différentes sous–parties de l'électronique analogique a été contrôlé et les premières mesures qualitatives réalisées (niveaux continus des différents blocs, niveaux de bruit, calibration des canaux, placement des seuils).

Cette carte a également permis de mettre à jour quelques défauts de conception (qui seront réglés dans une version ultérieure) : impossibilité d'inhiber un canal comme prévu, que ce soit par le « masque » ou par le gain nul ; L'OTA de sortie de la voie analogique n'ayant pas un niveau fixe lorsque son entrée est en haute impédance (ce qui oblige à sélectionner en permanence une voie à son entrée à l'aide du multiplexeur des voies analogiques afin d'éviter sa dérive qui impute une erreur systématique importante d'une mesure à l'autre).

Les premiers tests sur le fonctionnement de la partie numérique ont également été

22. **Bi**polar **C**omplementary **M**etal **O**xyde **S**emiconductor : technologie de conception de circuit alliant les avantages de la technologie bipolaire à la technologie CMOS. Plus utilisé pour des réalisations analogiques que numériques, où la densité d'intégration n'est pas suffisante.
23. **Si**licium **Ge**rmanium : alliage de matériaux semiconducteurs.
24. **C**hip **O**n **B**oard : Circuit intégré nu soudé sur un circuit imprimé.
25. **A**nalog to **D**igital **C**onverter : convertisseur analogique-numérique.
26. **U**niversal **S**erial **B**us : standard de communication électronique (bus, contrôleur).

effectués sur cette carte : chargement des paramètres de configuration, déclenchement, transitions d'états et accès aux données.

À part les quelques dysfonctionnements observés, indiqués ci–dessus et en sous–sections 2.2.2.1, 2.2.3.2 et 2.2.4.2, l'ensemble des tests effectués ont permis de valider ce circuit en l'état pour lancer une production supplémentaire d'environ 40 circuits au début de l'année 2008, utilisés lors des faisceaux de test au CERN en mai 2008. En parallèle, l'équipe du LAL a développé la deuxième version de ce circuit déjà fondu (octobre 2008) pour des premiers tests.

2.3 La carte d'électronique DHCAL1

2.3.1 Généralités

DHCAL1 est une carte permettant de tester l'ASIC HaRDROC1 dans des prototypes de détecteurs de type RPC ou MicroMeGaS. Elle a la particularité d'être située entre deux couches actives de détection. Cette carte possède sur sa face inférieure des carrés de cuivre (pad) qui constituent les cellules de l'anode du détecteur (cf. figure 2.15c). Dans le cas de l'utilisation d'une GRPC, ces cellules sont situées au delà de la plaque de verre, mais dans le cas d'une MicroMeGaS, elles sont au contact du gaz à travers la « mesh ». Le circuit imprimé est accolé à la grille par une méthode de laminage. Ceci implique, hors des problèmes électriques, un certain nombre de contraintes mécaniques, que ce soit sur la résistance aux efforts de torsion ou le fait que les composants ne peuvent être soudés qu'à–posteriori.

Un point important à vérifier dans le principe de fonctionnement de notre carte est la lecture avec passage de jeton entre les ASICs. Nous avons choisi pour ce prototype d'implanter 4 ASICs afin d'avoir entre autre une idée précise des contraintes sur les longueurs de pistes. Comme il s'agit d'une carte prototype et que le nombre d'ASICs disponibles lors de la première passe de production était limité à environ 40, nous en avons réalisé six exemplaires (en comptant la proportion d'ASIC ne fonctionnant pas et ceux utilisés pour la réalisation des cartes de test).

l'USB a été estimé apte à assurer l'interface entre le composant programmable et un ordinateur, les débits de données nécessaires au pilotage et la lecture des données de cette carte étant faibles (10 kilooctets de données pour 4 ASICs pleins).

Rappelons qu'une acquisition analogique doit aussi y être connectée. Elle peut piloter les registres à décalage des ASICs afin d'effectuer le multiplexage des sorties analogiques et le chargement des paramètres de configuration.

Le schéma 2.9 qui décrit les fonctionnalités de la carte DHCAL1 montre les voies d'acquisition digitale et analogique à–priori capables de fonctionner en parallèle même si cela n'a pas été étudié lors de la conception de l'ASIC.

Une deuxième préoccupation importante lors de la conception de cette carte est le soin particulier à apporter aux blindages et à la diaphonie entre voies du fait de la présence à proximité des composants des signaux du détecteur.

Ce chapitre traite de la réalisation de la schématique, du circuit imprimé, du programme du FPGA et du logiciel de pilotage de la carte DHCAL1.

2.3.2 Réalisation de la schématique

Pour réaliser la schématique de cette carte, j'ai récupéré l'implantation de l'ASIC dans la carte de test HaRDROC1 avec les éléments passifs qui l'entourent. Seront détaillés

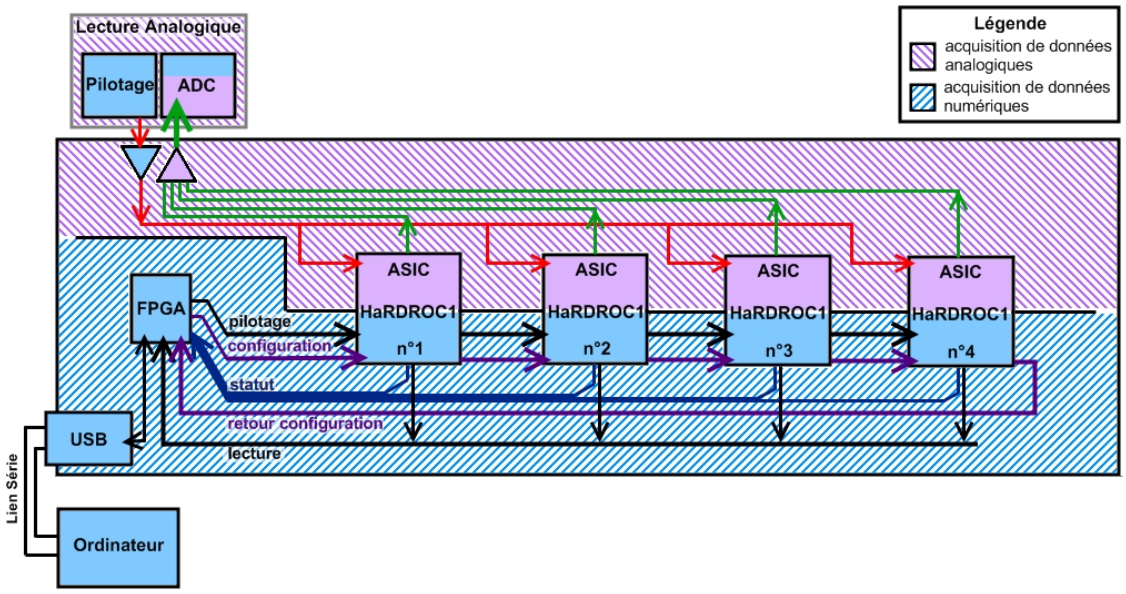


FIGURE 2.9 – *Schéma de la carte DHCAL1 comprenant quatre circuits intégrés avec : (1) une interface USB pour la configuration et le pilotage de la voie d'acquisition numérique (2) une interface SCSI pour le pilotage de la voie d'acquisition analogique.*

ci–après le choix du composant programmable, l'alimentation de la carte, ainsi que les interfaces avec les systèmes de lecture USB et analogique.

2.3.2.1 Choix du composant programmable

Outre le dimensionnement du FPGA en terme de cellules logiques et de fréquences de fonctionnement nécessaires à son interfaçage, les critères de choix retenus sont sa capacité en terme de quantité de mémoire RAM [27] intégrée et de standards d'interconnexion. Les protocoles de communication choisis, que ce soit avec les ASICs, le composant USB ou la DAQ analogique, nécessitent des standards unipolaires et différentiels, avec différentes impédances ou besoins en terme de puissance de pilotage de ligne, de rapidité du front des signaux. Il faut également qu'il possède des ressources en mémoire tampon suffisantes afin de stocker les données à leur réception des ASICs avant de les transmettre vers un ordinateur. Les FPGA modernes contiennent des mémoires en blocs qui possèdent une structure optimisée pour la vitesse et la précision par rapport à une mémoire implémentée de manière distribuée dans des cellules logiques.

Aucune contrainte forte ne vient guider le choix du FPGA : la vitesse de fonctionnement ne doit pas excéder 40 MHz qui est la fréquence de l'horloge de fonctionnement des ASICs, les interfaces vers le monde extérieur choisies n'impliquant pas d'avoir une fréquence de fonctionnement plus élevée. Il n'y a pas de contrainte de latence, de lien haute vitesse et/ou d'opération de filtrage complexe à réaliser (qui puisse nécessiter des ressources particulières en terme de multiplieurs).

On veut minimiser le plus possible la consommation de ce composant comme celle de la carte entière pour s'approcher aussi près que possible des spécifications de l'expérience.

27. **R**andom **A**ccess **Memory** : mémoire à accès aléatoire, dont on peut adresser les cases individuellement.

Il faut malgré tout que le composant choisi puisse générer les horloges nécessaires au fonctionnement des ASICs, possède des DLL [28] ou DCM [29] au cas où la précision de ces horloges se révélerait déterminante, ce qui n'est pas établi pour le moment.

La plupart des lignes de communication utilisent des standards unipolaires bas niveau afin de limiter la consommation. Elles respectent le standard LVCMOS, standard le plus simple pour une interface avec une technologie CMOS [30] bas niveaux comme la S35D4M5 d'AMS utilisée pour les ASICs de CALICE. C'est le cas des lignes de communication entre le FPGA et les ASICs (unidirectionnels ou bus collecteur commun). Afin d'avoir une meilleure maîtrise de l'intégrité du signal, tout en gardant un niveau de consommation raisonnable, les lignes critiques comme les horloges utilisent le standard LVDS. La lecture analogique doit piloter une partie de l'électronique digitale de l'ASIC dans un environnement qui peut être bruyant et utilise également ce standard. Il faut donc que le composant programmable choisi possède les récepteurs adéquats afin d'éviter des récepteurs externes additionnels. Ce type de récepteur nécessite généralement une adaptation d'impédance supplémentaire mais certains composants programmables intègrent les composants passifs nécessaires.

Les FPGAs de type Spartan–3E de Xilinx répondent à ce type de besoin, ils n'ont pas de ressources particulières intégrées et sont des composants bas coût et basse consommation. Ils peuvent malgré tout, si besoin est, fonctionner à des fréquences allant jusqu'à 300 MHz. Par contre, ils ne supportent que des standard bas niveaux et n'ont pas les facilités qu'on retrouve par exemple dans des FPGA de type Virtex II, 4 ou 5 comme la reconfiguration partielle (qui peut permettre de changer une partie de la logique en cours de fonctionnement), les liens séries haute vitesse ou les processeurs intégrés. Les Spartan–3 et Spartan–3A feraient également l'affaire, ils possèdent approximativement les mêmes ressources. Les différences sont situées au niveau du nombre de standards supportés, des ressources particulières intégrées, et dans le fait qu'on ne trouve pas, parmi les Spartan–3E, de modèle dépassant les 1.5 millions de portes ou les 500 entrées sorties. Les Spartan–3A ont davantage de ressources en ce qui concerne les standards d'entrée sortie. On peut d'ailleurs envisager d'utiliser dans une version ultérieure de cette carte des FPGAs de type Spartan–3AN qui sont comparables aux Spartan–3A outre le fait que leur mémoire de configuration est non volatile, ce qui nous affranchirait des problèmes de SEU sur les mémoires de configuration. Ces FPGAs, conçus pour les applications militaires et spatiales, sont fabriqués dans des technologies durcies aux radiations. Ils possèdent donc nombre d'améliorations pour atténuer l'effet des SEE. Les Spartan3 de type E et A permettent quant à eux malgré tout de s'en accommoder puisqu'ils possèdent un circuit de type « Watchdog Timer », c'est à dire un circuit détectant les erreurs dans la mémoire de configuration et se chargeant de reprogrammer le composant. Les FPGA de type Cyclone ou Cyclone II d'Altera auraient sans aucun doute convenu, mais sont plus chers à ressources comparables.

J'ai choisi le boîtier FGG320 [31] qui est un boîtier de type BGA [32], pour son nombre de pattes tout d'abord en fonction des besoins en nombre de signaux, mais également pour des

28. **D**elay **L**ocked **L**oop : boucle à verrouillage de délai permettant de réaliser des divisions ou des multiplications de fréquence pour un signal d'horloge.

29. **D**igital **C**lock **M**anager : gestionnaire d'horloge. Bloc présent dans les FPGA Xilinx contenant des DLL ainsi que des modules permettant de moduler avec précision la phase d'un signal d'horloge.

30. **C**omplementary **M**etal **O**xyde **S**emiconductor : technologie de conception de circuit électronique ou un transistor de type N est associé à un transistor de type P, l'un conduisant pendant que l'autre est bloqué.

31. **FG Green** : Modèle sans plomb du FG.

32. **B**all **G**rid **A**rray : type de boîtier électronique montable en surface. Les interconnexions sont réalisées avec des billes de soudures situées sous le composant.

raisons de disponibilités. Il permet d'avoir jusqu'à 250 signaux d'entrées sorties et mesure 2 mm d'épaisseur. Nous avons 117 signaux qui peuvent être des uni– ou bidirectionnel, mais parmi les 250 pins utilisables, seulement 193 sont utilisables à la fois en entrée et en sortie (dont 11 sont utilisées pour la configuration du composant et 12 permettent d'accéder le réseau global d'horloge). Les boîtiers BGA ont un désavantage en période de debog, à savoir qu'on ne peut pas accéder les pattes du circuit puisqu'elles sont situées dessous le boîtier. Mais comme beaucoup de signaux sont accessibles en d'autres points de la carte, nous avons choisi ce boîtier par habitude et par confiance.

Comme on veut dans un premier temps réaliser un prototype de la logique nécessaire, on va surdimensionner le FPGA afin d'avoir assez de marge pour pouvoir effectuer les tests nécessaires. Un bon critère afin de faire ce choix est la quantité de RAM embarquée. Le plus gros FPGA de la famille Spartan–3E possède 1.6 million de cellules logiques et 54 RAM en bloc soit 648 kilobits de mémoire. On doit stocker au maximum par évènement de l'ordre de 200 kilobits. On peut donc avec cette quantité de mémoire en stocker jusqu'à 3, ce qui peut permettre si nécessaire d'attendre que l'ordinateur soit disponible pour lire les données. Comme son coût est faible, nous pouvons nous permettre de l'utiliser pour une carte prototype. S'il était nécessaire par la suite d'avoir plus de mémoire tampon, il serait sûrement plus efficace et moins coûteux d'utiliser une RAM externe.

Ce FPGA demande des alimentations de 1.2, 2.5 et 3.3 V. Les manuels d'utilisation préconisent un certain nombre de solutions pour réaliser son alimentation. Si on choisit de s'y atteler de manière indépendante, voici un résumé des conditions à réaliser : le temps de montée des alimentations doit être maîtrisé et elles doivent être lancées dans un ordre particulier. Le 1.2 V sert pour le fonctionnement du coeur, le 2.5 V pour les blocs particuliers (comme les mémoires) ou des entrées sorties particulières comme celle utilisant le LVDS25 et elles ne nécessitent donc que peu de courant. Le 3.3 V quant à lui alimente la plupart des entrées sorties, qui selon leur taux de basculement peuvent demander plus ou moins de courant. Il existe des utilitaires qui permettent d'évaluer cela une fois la synthèse logique réalisée, mais comme la réalisation de la carte doit être faite le plus rapidement possible, une utilisation standard est plus appropriée.

2.3.2.2 Alimentation de la carte

L'alimentation de la plupart des composants respecte des standards bas niveaux, mis à part l'alimentation des pilotes de ligne qui se fait en ±5 V. Il faut donc deux alimentations principales à cette carte, une de 5 V et une de –5 V. Afin de protéger les composants d'éventuelles perturbations d'origine externe, toutes les alimentations seront régulées, y compris celles de plus haut niveau. La valeur de l'alimentation primaire doit donc être choisie supérieure à 5 V, c'est pourquoi nous choisissons du 6 V. Les alimentations des parties analogiques et numériques des composants ont été séparées au niveau des régulateurs.

La conversion 6 V/5 V sera réalisée avec un LM1086.

Pour l'alimentation de la partie digitale, la solution choisie est un régulateur triple de type TPS75003 de National Instrument qui intègre deux régulateurs basse chute de tension pouvant délivrer jusqu'à 250 mA et un régulateur alimentation de volume permettant de fournir jusqu'à 2 A. Ce dernier réalise la conversion 5 V/3.3 V avec un système à découpage, qui malgré son faible bruit a contribué au niveau de bruit général de la carte, ce qui permet de dire à–posteriori que c'était un mauvais choix pour une carte réalisant l'acquisition de signaux analogiques faibles (une charge de 10 fC qui correspond au plus bas seuil de déclenchement du HaRDROC1 correspond à une variation de tension en sortie de l'ASIC de l'ordre du mV).

La partie analogique de l'ASIC est elle aussi desservie par un LM1086 qui lui fournit les 3.5 V nécessaires.

2.3.2.3 USB

Le composant USB choisi est le FT245BL de FTDI [33]. C'est une FIFO [34] USB, un composant qui génère le trafic USB, s'occupe de la couche transfert de données et, est accessible par un mécanisme de passage de relais à l'aide de 4 signaux : 2 pour la lecture(`RXF#` et `RD`) et 2 pour l'écriture (`TXE#` et `WR`), les deux aspects étant indépendants.

Les contrôleurs USB embarqués sont un peu plus compliqués à utiliser que ce type de composant, ils demandent de gérer les interfaces avec le contrôleur hôte du côté matériel et les planificateur et démon USB du côté logiciel, ce qui implique de se plonger un peu plus en avant dans les détails du protocole et de l'environnement système. Ils intègrent la plupart du temps un microcontrôleur, ce qui demande des compétences spécifiques en programmation et amène à des développements supplémentaires. Ce composant, quant à lui, fournit une interface parallèle 8 bits qui prend en charge la gestion des délais variables imputables au protocole USB et assure la bonne transmission des mots par le protocole USB.

Par contre, l'appréhension de ses délais d'interaction avec un ordinateur demande une bonne compréhension de son fonctionnement. Les temps d'accès en lecture ou en écriture, même en fonctionnement optimal sont variables et peuvent atteindre la milliseconde. Pour l'écriture (du composant USB vers l'ordinateur), cela dépend du moment où un accès est demandé par l'application vis à vis de l'instant où le contrôleur USB effectue le prochain accès au périphérique. Il l'accède environ toutes les millisecondes, cela dépend de la charge courante. Pour la lecture (de l'ordinateur vers le composant USB), le délai est fixe et vaut environ une milliseconde. C'est le temps qu'il faut pour transférer les données jusqu'au contrôleur, planifier et démarrer l'envoi. Il faut donc optimiser les transferts pour envoyer le maximum de données en une seule fois afin de profiter de la bande passante de l'USB. Les documents [14, 15] traitent de la manière de procéder, que ce soit d'un point de vue périphérique ou logiciel.

Le fonctionnement optimum du composant est obtenu en y joignant une EEPROM [35] de type 93C(46|56|66). Cela permet de conserver dans chaque composant des paramètres de fonctionnement comme le type de pilote utilisé, la source de son alimentation, les valeurs des délais avant écrasement des données, un numéro de série, etc. Ces paramètres peuvent être chargés en cours de fonctionnement par des fonctions d'accès spécifiques dans la librairie fournisseur. Des identifiants vendeur et produits (VID [36] et PID [37]) peuvent également être programmés afin de personnaliser le composant. Cela nécessite par contre une modification du pilote logiciel sous WINDOWS™ puisque le composant n'est plus reconnu en tant que tel.

J'ai choisi d'alimenter ce composant par la carte afin de diminuer les sources possibles de problèmes (mais il est possible de l'alimenter par le biais du bus, ce qui est intégré dans le standard USB). L'interface USB ne sera pas utilisée dans les futurs développements

33. **F**uture **T**echnology **D**evice **I**nternational Ltd. : fabricant d'ASICs anglais réalisant des adaptations de standards électroniques vers l'USB.

34. **F**irst **I**n, **F**irst **O**ut : registre de type pile, premier chargé, premier sorti.

35. **E**lectrically **E**rasable **P**rogrammable **ROM** : ROM programmable et effaçable électriquement.

36. **V**endor **ID**entification number : identifiant unique de vendeur, terme générique lié à l'utilisation d'un matériel dans un environnement système.

37. **P**roduct **ID**entification number : identifiant unique de produit, terme générique lié à l'utilisation d'un matériel dans un environnement système.

en terme d'acquisition à plus grande échelle pour les calorimètres car elle ne permet pas d'atteindre les débits de données nécessaires. Il n'est donc pas nécessaire de minimiser sa consommation à partir du moment où elle est connue.

Le FT245 est fourni avec un schéma explicatif de câblage, les spécifications en termes de délais et de niveaux de tensions, et les différentes configurations d'alimentation possibles. Nous avons choisi le boîtier LQFP [38] 32 pattes sans plomb repéré par la lettre L à la fin de sa référence (FT245BL). Le schéma 2.10 détaille l'architecture de ce composant.

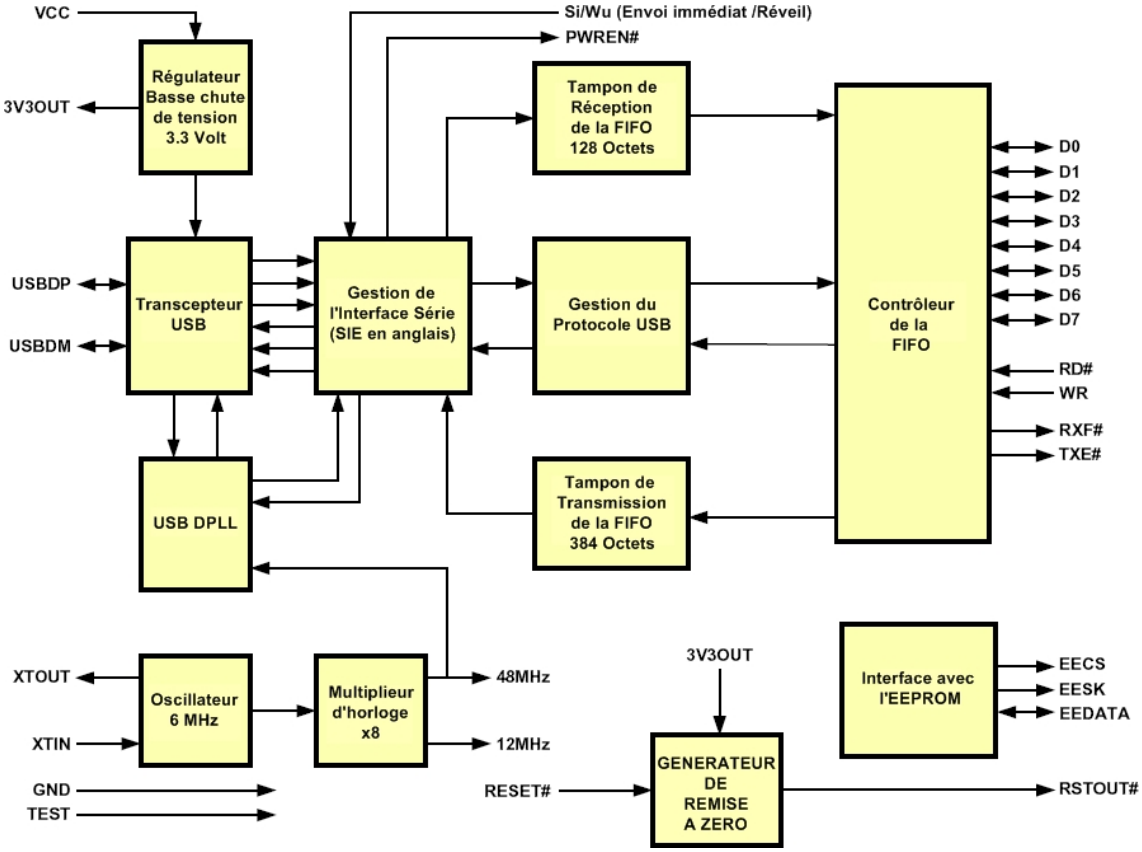


FIGURE 2.10 – *Schéma bloc de l'architecture de la FIFO USB↔Série FTDI FT245B.*

(© 2005 FTDI Limited, cf. Annexe A.3)

En plus du quartz 40 MHz 5 % utilisé pour la génération de l'horloge système de la carte, il est nécessaire pour le fonctionnement du composant USB d'avoir un quartz 6 MHz. Ces deux quartz ont été choisis directement intégrés dans des oscillateurs de type XCO [39], ce qui évite de se préoccuper des circuits de régulation de phase.

2.3.2.4 Connexion avec une acquisition analogique externe

La lecture analogique nécessite deux étapes : paramétrer les ASICs et échantillonner la valeur des sorties en charge de chacune des voies une fois qu'elle a été bloquée par le signal de maintien (`hold`). Les sorties en charge sont accédées en déplaçant un jeton injecté dans

38. **L**ow-profile **Q**uad **F**lat **P**ack : standard de boîtier électronique montable en surface.
39. **X**tal **C**ontrolled **O**scillator : oscillateur contrôlé par un cristal, permettant de faire une régulation de la fréquence de pulsation de ce dernier.

un registre à décalage. Chacune des cellules de ce registre à décalage valide un interrupteur qui relie la sortie de la mise en forme lente de cette voie à l'OTA de sortie du circuit.

Le schéma 2.11 résume les fonctionnalités de la voie analogique du HaRDROC1 et la manière dont se déroule la lecture analogique. Les sorties des ASICs ainsi que les signaux

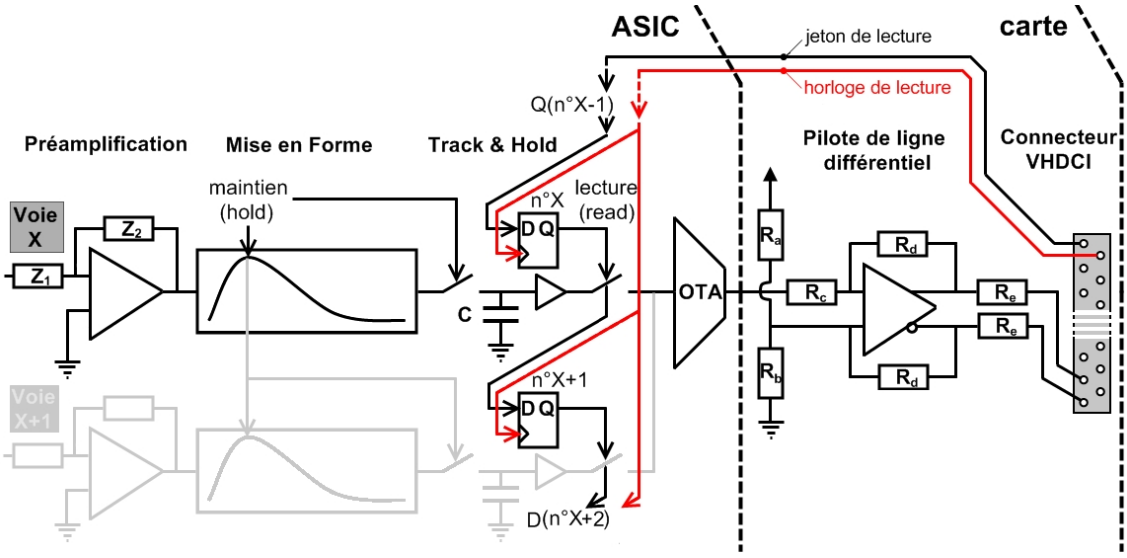


FIGURE 2.11 – *Schéma de principe de fonctionnement de la lecture externe de la voie analogique de l'ASIC HaRDROC1.*

de contrôle numérique qui transitent par le FPGA passent par un connecteur VHDCI [40] 68 pins. Les sorties sont transmises par l'intermédiaire de pilotes de ligne analogiques différentiels de type Elantec EL2140CS. Ces composants sont les pilotes adéquats pour les récepteurs existants sur les cartes CERC [41] qui réalisent déjà la lecture analogique des autres calorimètres de CALICE.

2.3.3 Réalisation du circuit imprimé

Le circuit imprimé doit être le plus fin possible, mais suffisamment résistant à d'éventuelles déformations mécaniques. La classe 6 de réalisation de circuits imprimés (selon la norme NFC 93–713) a été choisie : elle correspond à des pistes de 120 μm. Les classes standards vont jusqu'à 8, pour laquelle la largeur des pistes descend jusqu'à 87 μm. Les classes avancées et ingénierie, de 9 à 12, permettent de réaliser des motifs de très petites dimensions avec par exemple des largeurs de pistes de 75 à 50 μm. Mais pour ces dernières, les coûts de réalisation sont plus élevés.

Les composants sont situés sur une seule face du circuit imprimé (qu'on appellera HAUT). L'autre (appelée BAS) reçoit les cellules de lecture de 1×1 cm espacées de 500 μm.

Afin de limiter le passage des rayonnements électromagnétiques à travers la carte, les vias traversants ont été évités autant que possible puisqu'ils se comportent comme des trous rayonnants. Il a donc été choisi d'utiliser des trous borgnes et des trous enterrés afin de ramener le signal depuis une cellule en deux étapes : les cellules sont isolées avec un plan de masse au plus près qui est percé par un via borgne pour chaque cellule afin de ramener

40. **V**ery **H**igh **D**ensity **C**able **I**nterconnect : standard introduit dans la norme SCSI-3 qui permet d'avoir 4 connecteurs à l'arrière d'une unique carte de PC.

41. **C**ALICE **E**CAL **R**ead**O**ut Board : carte de lecture pour l'électronique frontale du ECAL de CALICE.

les signaux sur une couche interne. Ce via ne traverse pas le plan de masse suivant. Le signal part ensuite vers la couche HAUT, soit directement pour un routage externe vers le composant à travers un autre via borgne, soit par l'intermédiaire d'une autre couche interne à travers un via enterré, dont il sortira plus loin avec un autre via borgne. Le signal traverse donc à ce niveau un plan de masse, mais le via concerné n'a pas de vis à vis avec le précédent et permet une meilleure immunité au bruit avec les deux plans de masse qui occupent l'ensemble de l'espace actif de la carte si l'on considère leur recouvrement.

Plusieurs solutions étaient possibles en ce qui concerne le choix de l'empilage des couches du circuit imprimé. Deux solutions, une 8 couches et une autre 6, ont été étudiées pour le routage des ASICs afin de minimiser l'influence du détecteur sur l'électronique de la carte et la diaphonie entre voies d'entrée. Nous avons souhaité tester les deux en même temps, le circuit a donc été réalisé sur 8 couches, deux des ASICs étant routés sur 8 couches et les deux autres sur 6, un des plans de routage étant laissé vide. Cela a permis de faire des mesures sur le couplage inter–piste (PCB [42] nu) et sur la diaphonie entre différentes entrées des circuits (PCB câblé), les signaux étant amenés depuis les cellules jusqu'aux circuits intégrés soit sur un, soit sur deux plans (cf. figures 2.12 et 2.13). Afin de réaliser

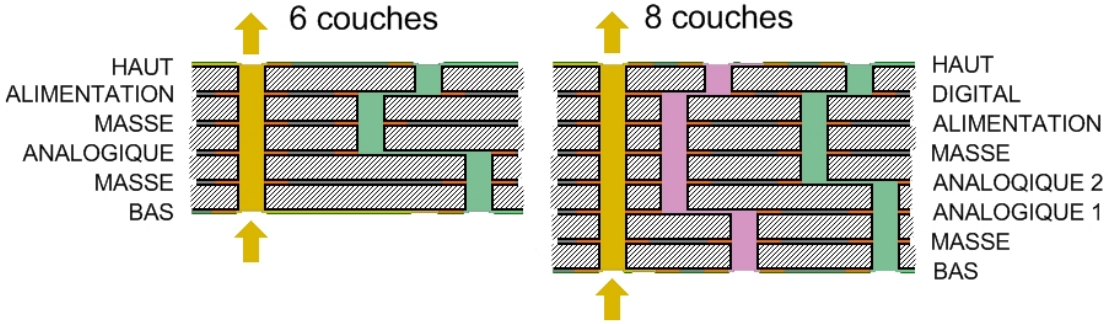


FIGURE 2.12 – *Les 2 possibilités d'empilements pour la carte DHCAL1 : dans la configuration 6 couches, toutes les cellules sont routées sur un seul plan contre deux dans la configuration 8 couches. Les codes couleur utilisés sont repris dans la figure 2.13.*

les mesures de bruit, une attention particulière a été portée sur les retours de masse. L'installation utilisée est représentée sur la figure 2.14.

Les résultats détaillés des mesures de diaphonie entre des traces parallèles dans différentes configurations sont donnés dans le tableau 2.4. Il y est montré que la diaphonie est très peu différente en fonction de la configuration (6 ou 8 couches) et que l'apport du circuit imprimé à cette diaphonie (0.15 %–0.40 %) est faible et acceptable. La capacité équivalente est évaluée à partir des abaques du constructeur selon la configuration. Dans les deux premières configurations, le rapport entre les diaphonies est à peu près le même que le rapport entre les capacités équivalentes de bruit. Dans la dernière configuration, la valeur de la capacité est difficile a évaluer puisque deux effets se conjuguent, la distance inter–pistes (1 pF/cm) ainsi que la distance de chacune de ces pistes aux plans de masse qui les entourent. La configuration 6 couches pourra être utilisée sainement dans les futures versions des PCB joints au détecteur si cette solution s'avère fiable mécaniquement.

Les schémas suivants montrent la carte DHCAL1 à différentes étapes de son développement : à la sortie du logiciel de CAO [43] (figure 2.15a), à son retour de chez le fabricant de

42. **P**rinted **C**ircuit **B**oard : circuit imprimé.
43. **C**onception **A**ssistée par **O**rdinateur.

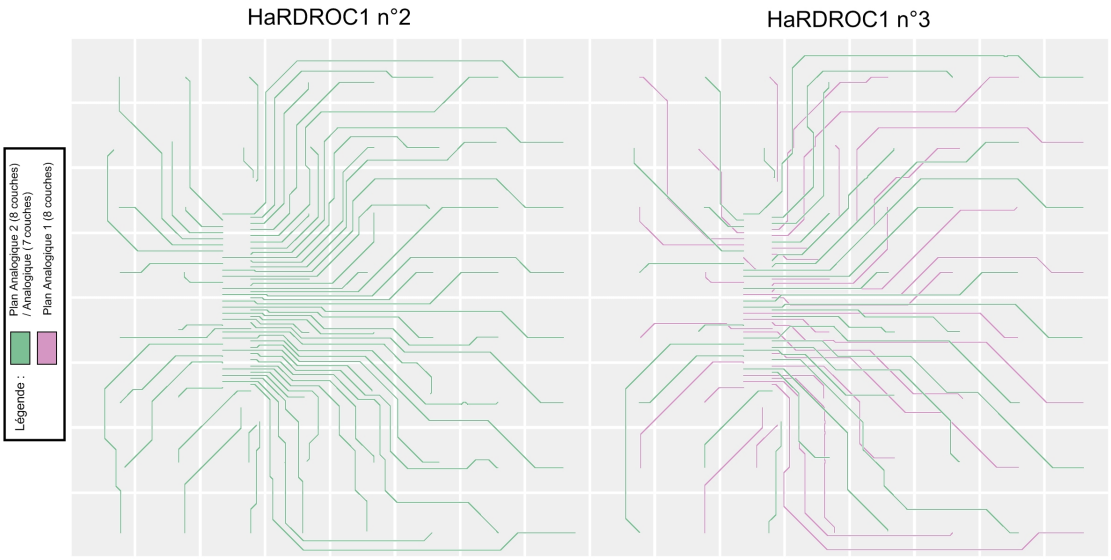


FIGURE 2.13 – *Vue des deux types de routage adoptés pour les ASICs HaRDROC1 dans les configuration 6 et 8 couches. Les codes couleurs utilisés sont les même que sur le schéma 2.12. Sur le schéma de droite, on voit l'ASIC numéro 3 dont les entrées ont été routées sur deux plans différents afin d'améliorer la diaphonie. Les résultats de mesures (cf. 2.4) montrent que ces deux configurations sont très peu différentes au niveau de la diaphonie, qui y est très faible dans les deux cas.*

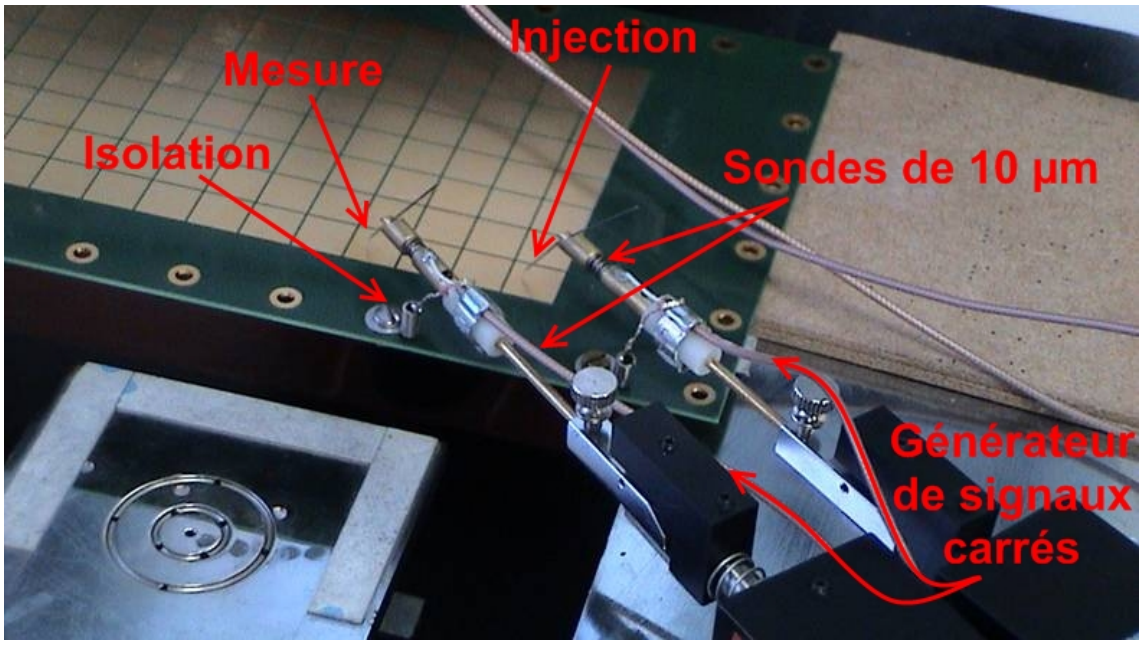


FIGURE 2.14 – *Détail du banc de mesure pour la diaphonie inter–pistes sur la carte DHCAL1.*

configuration	épaisseur (μm)	entrées	n° de cellule	diaphonie mesurée (mV)	capacité parasite estimée (fF/cm)
6 couches					
même couche	600	2–3	6–8	1.5 (0.15 %)	50
8 couches					
même couche	800	2–3	22–2	3.5 (0.35 %)	120
deux couches		2–7	29–32	4.0 (0.40 %)	120–1000

TABLE 2.4 – *Résultats des mesures de diaphonie entre 2 pistes parallèles (pour part) d'entrées d'ASICs sur un même PCB pour un échelon de 1* V *en entrée dans différentes configuration. Les chiffres pour les capacités parasites sont donnés par les abaques du constructeur.*

PCB (figures 2.15b et 2.15c), une fois câblée (figure 2.15d) et après correction des erreurs de réalisation (figure 2.15e).

2.3.4 Programmation du FPGA

Au vu de l'état d'avancement des développements sur les calorimètres de l'ILC, le microprogramme du composant programmable de la carte DHCAL1 est avant tout un développement prototype. Il a été développé et a évolué en même temps que la définition des contraintes s'est affinée.

Une première version a permis de faire du pas à pas dans l'acquisition, afin de déboguer les ASICs.

Cette version pas à pas finalisée répond également à un besoin ressenti lors des tests réalisés sur les premières versions des calorimètres de CALICE : pouvoir tester avec une acquisition indépendante une carte installée dans le détecteur. Elle sera repérée ultérieurement en tant que « Single Slab [44] DAQ ». Ce système doit être capable de générer des séquences de tests de manière autonome afin de pouvoir localiser une source de dysfonctionnement dans la carte en question.

Pour la participation a des tests en faisceau, des optimisations ont du y être apportées pour atteindre une vitesse de fonctionnement convenable.

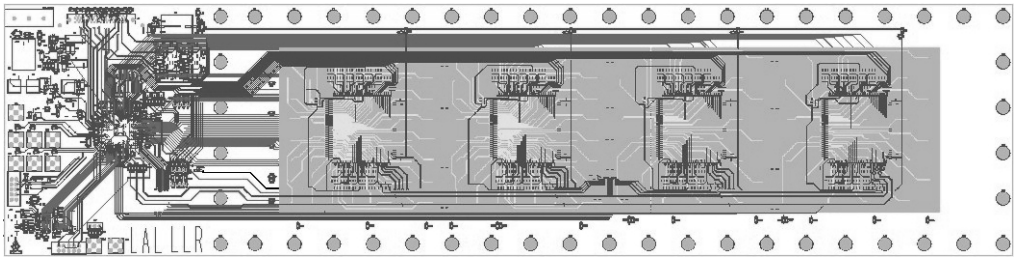
Bien que prototypes, ces développements ont conservé comme ligne directrice de correspondre au cadre de fonctionnement de la machine finale afin de mieux définir les contraintes que cela engendre.

2.3.4.1 Architecture globale du microprogramme

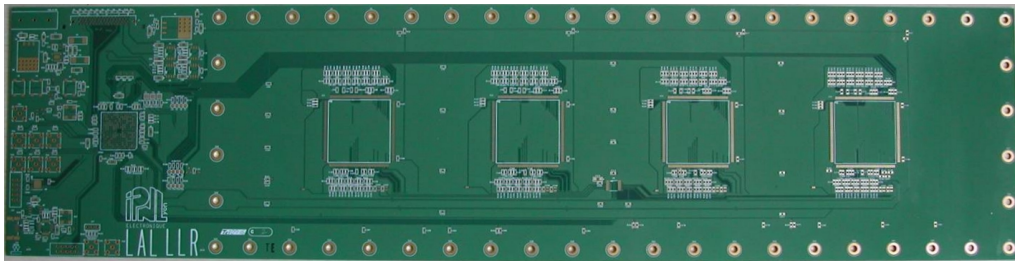
En plus des signaux en provenance du détecteur, les ASICs reçoivent depuis l'acquisition les signaux qui régissent leur fonctionnement (remise à zéro, horloges système et machine, pilotage des latchs, synchronisation des machines d'état d'acquisition et de lecture). L'ensemble des opérations de pilotage et de lecture de la voie d'acquisition numérique sera nommé *séquencement*.

Comme indiqué en 2.1, il est prévu de mémoriser tous les évènements occurrents pendant un train de particules et de lire la mémoire de l'ASIC pendant l'inter–trains. La pulsation de l'alimentation consiste à allumer la partie analogique et les DACs pendant

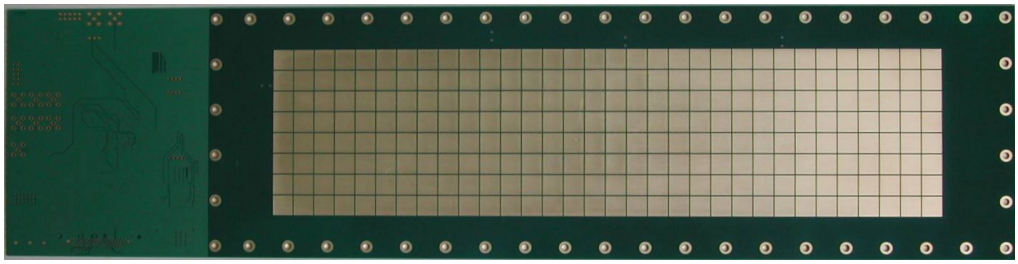
44. slab : dalle, ensemble double face contenant deux circuits imprimés et les éléments de détection accolés.



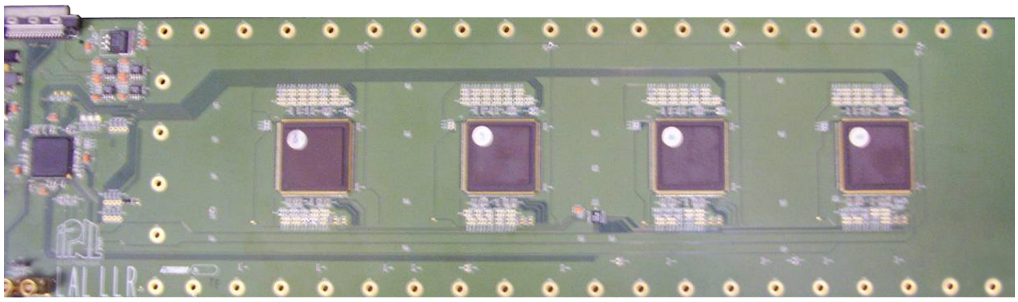
(a) *Typon de la couche HAUT réalisé sous le logiciel de CAO CADENCE Allegro 15.2*



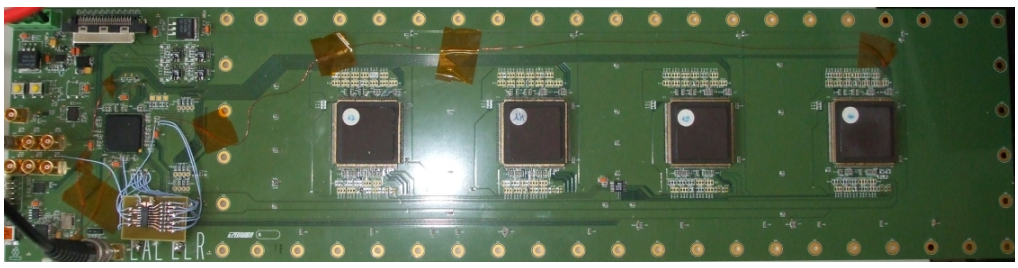
(b) *Dessus avant câblage des composants*



(c) *Dessous avant câblage des composants*



(d) *Dessus après câblage*



(e) *Dessus, après correction des erreurs de réalisation*

FIGURE 2.15 – *Différentes vues de la carte DHCAL1 au fur et à mesure des étapes de sa réalisation.*

un train et à les éteindre pendant la lecture. Une fois la lecture de tous les ASICs d'une carte réalisée, la partie numérique pourrait également être éteinte. Le tout serait allumé à nouveau peu avant l'arrivée du train de particules suivant.

Le composant USB permet, comme dit en 2.3.2.3 de procéder à des opérations simples de lecture/écriture. Le FPGA doit gérer un protocole pour mener à bien les échanges avec l'ordinateur de pilotage par son intermédiaire. L'architecture choisie est décrite et argumentée en 2.3.4.4.

Le microprogramme doit prendre en charge la réception et la retransmission des signaux de contrôle de la DAQ analogique vers les ASICs. Comme cette fonctionnalité doit être testée avant de procéder à une étape d'intégration plus complexe, une fonction d'émulation du pilotage y sera ajoutée qui permettra entre autre d'observer les sorties analogiques des ASICs et de systématiser des mesures. Les signaux de pilotage devront donc être multiplexés entre ces deux fonctionnalités avec la possibilité de commuter de l'un à l'autre.

La figure 2.16 schématise le **principe du microprogramme**. Différents blocs y sont visibles : le FPGA au centre, la liaison avec le composant USB sur la droite (cf. gestion des accès USB en 2.3.4.3 et protocole d'échange avec le microordinateur en 2.3.4.4), l'ASIC sur la gauche (cf. séquencement en 2.3.4.2 et configuration en 2.3.4.5) et la lecture analogique en bas (cf. 2.3.4.6). Les différents types de signaux d'interface y sont représentés.

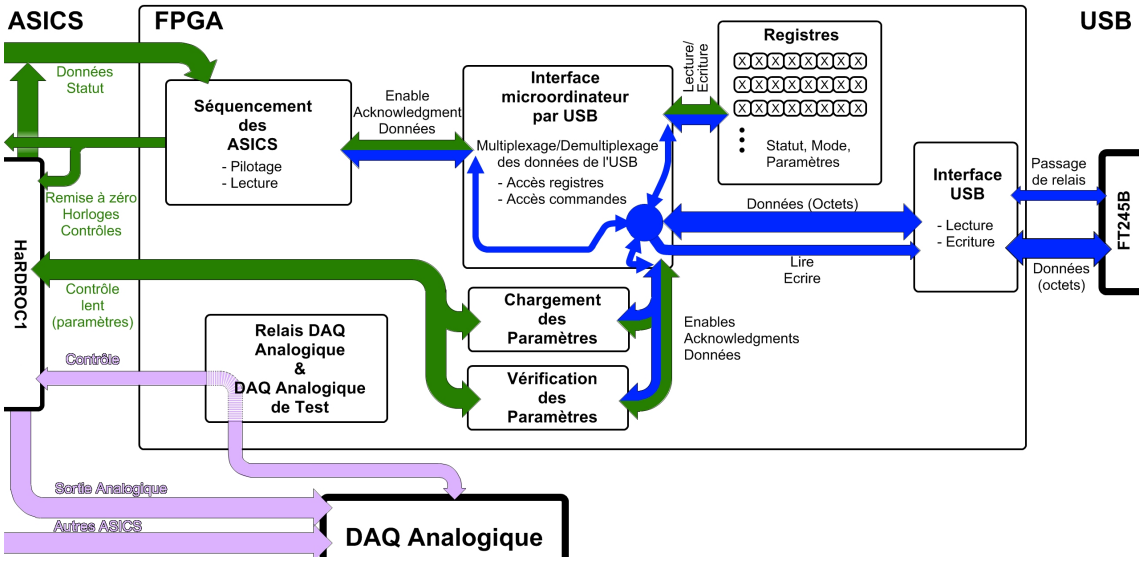


FIGURE 2.16 – *Schéma de l'ensemble du microprogramme de DHCAL1. En bleu sont représentés les signaux de contrôle et de données de l'USB, en vert les signaux qui concernent la partie numérique de l'ASIC et en violet le pilotage par une DAQ externe.*

Comme indiqué en 2.2.6, une attention particulière est à apporter à la conception de la logique vis à vis de la protection contre les instabilités auxquelles peuvent mener les SEUs ; les machines d'états sont des éléments sensibles aux radiations car elles sont constituées d'éléments mémoire qui stockent l'état courant. Une protection basique afin de les rendre plus résistantes est de coder les états en suivant un code gray. Un seul bit change lors d'une transition de ce code. De cette manière, un état erroné peut être détecté et le comportement adéquat adopté, à savoir se replacer dans un état connu.

On peut pousser ce raisonnement plus loin en utilisant des codes correcteurs d'erreurs, qui selon leur complexité, peuvent permettre d'identifier plusieurs erreurs concomitantes et même de les corriger et donc de continuer à avoir un fonctionnement normal. De tels

codes n'ont pas été mis en place pour le moment car le besoin de se protéger des radiations n'a pas encore été quantifié.

Tous les signaux externes au FPGA sont double–clockés sur l'horloge système. Cela signifie qu'ils passent chacun dans deux bascules l'une après l'autre, toutes deux situées le plus près possible de la patte d'entrée correspondante du composant. Ce procédé permet de s'affranchir avec une bonne probabilité des métastabilités causées par la différence de phase trop petite entre une variation d'un signal extérieur et le front de l'horloge d'échantillonnage locale.

Le fonctionnement des machines d'état est régi uniquement par des impulsions d'une largeur d'une période d'horloge afin de simplifier leur fonctionnement. Les signaux plus long sont réduits à cette largeur par la détection de leurs fronts qui portent le sens de l'action du signal. De la même manière, les sorties de ces machines d'état sont des impulsions, qui sont calibrées pour avoir la longueur nécessaire avant d'être envoyés aux ASICs. Pendant la génération d'un de ces signaux, un drapeau « occupé » est levé.

Dans les paragraphes suivants sont détaillés l'ensemble des blocs fonctionnels du microprogramme en commençant par le séquencement des ASICs. Afin de ne pas surcharger la lecture de ce chapitre, les indications techniques sur les sous–parties du microprogramme comme les listes des ports d'entrée/sortie, les diagrammes d'état et les simulations ont été reportées dans l'annexe B (pages 113–133) qui possède les mêmes découpage et titres.

Autant dans les paragraphes suivants que dans l'annexe, les noms utilisés pour les signaux, bien que semblables aux noms des ports d'entrée/sortie du HaRDROC1, n'y sont pas identiques, afin de respecter une nomenclature donnée. Cela concerne par exemple la polarité (<*nom_signal*>**_n** pour les signaux actifs à l'état bas) ou la casse des caractères (Méthodologie pour l'écriture de VHDL [45] réutilisable [21]).

2.3.4.2 Séquencement des ASICs

La structure de la partie numérique de l'ASIC et les signaux nécessaires à son fonctionnement sont décrits en 2.2.4.

Les horloges

En l'absence d'horloge machine, une horloge de fréquence 5 MHz est fabriquée à partir de l'horloge système 40 MHz pour donner le rythme de l'acquisition. Il faudrait par précaution utiliser pour cela une DLL ou un DCM, des composants spécialisés pour les opérations sur des signaux d'horloges qui garantissent une précision sur la période et un rapport de phase constant avec l'horloge originale. Cependant, comme le code développé est synthétisé en parallèle sur des FPGAs Xilinx Spartan–3E et Altera Cyclone–I (carte de test HaRDROC1) et qu'il n'est pas possible dans ce dernier de générer avec les DLLs intégrées une horloge 5 MHz à partir d'une horloge 40 MHz (rapport de décroissance en fréquence trop grand selon l'assistant d'implémentation), il a été choisi d'utiliser un compteur à cette fin. Pour diminuer le risque d'erreur, le compteur utilisé est un compteur gray. Cette manière de procéder permet d'accéder également aux signaux des bascules intermédiaires du compteur et d'avoir des signaux d'autorisation décalés d'un rapport de phase constant avec les fronts de l'horloge qui sécurisent les transmissions sur des lignes non adaptées. Ce

45. **V**ery High Speed Integrated Circuit **H**ardware **D**escription **L**anguage : langage de description matériel de haut niveau, utilisé entre autres choses pour la réalisation de la partie digitale d'ASICs ou de composants programmables

compteur étant générique, il a été également utilisé pour générer l'horloge de lecture qui doit avoir une fréquence de 1 MHz.

L'acquisition

Les ASICs sont mis en état d'acquisition par l'envoi d'une impulsion sur la ligne dédiée (`start_acquisition`). Le pilotage des latchs s'effectue selon les occurrences d'évènements : autorisation de l'enregistrement d'un évènement [46] (`valEvt`), puis blocage de l'ensemble des latchs lorsque la sortie d'un de ceux ci devient active (entre 50–75 ns plus tard). Cette information est donnée au FPGA par le biais du déclenchement interne de l'ASIC. L'image de l'évènement courant est alors enregistrée dans la RAM, puis les latchs sont remis à zéro et le cycle recommence. Le signal de remise à zéro des latchs d'un ASIC est généré au choix de manière interne dans chaque ASIC, ou de façon externe par le FPGA.

Dans le cas où il est généré par l'ASIC, le FPGA attend que l'ensemble de ces signaux de déclenchement internes soient tous remis à zéro pour délivrer l'autorisation de prendre un autre évènement. Si par contre le signal de remise à zéro est généré de manière externe, le FPGA attend un temps fixe (100–125 ns) avant de l'activer et d'envoyer le signal d'autorisation pour l'évènement suivant, pour être sûr que tous les ASICs aient enregistré les données éventuelles.

Deux stimuli peuvent être à l'origine de l'arrêt de l'acquisition : le premier est le signal indiquant que la mémoire d'un des ASICs est pleine (`ramfull_n`). Ce signal est pour le moment unidirectionnel, il faut donc utiliser le signal d'arrêt de l'acquisition depuis le FPGA (`ramfull_ext`) afin de transmettre aux autres circuits de la carte l'information que la mémoire d'un des circuits est plein. Le deuxième est un signal de déclenchement externe (`ext_trig_in`) utilisé pour synchroniser l'acquisition comme par exemple lors de tests en faisceau (coïncidence de deux hodoscopes faisceau, etc). Dans les deux cas, les ASICs activent tous le bus `ramfull_n` afin de signifier qu'ils sont en train de s'arrêter. La remontée de ce signal indique que tous les circuits ont terminé d'enregistrer les évènements qui sont survenus avant ou pendant l'arrêt de l'acquisition.

Dès que l'acquisition est arrêtée l'horloge distribuée sur l'entrée `SlowClock` des ASICs passe de 5 MHz à 1 MHz, vitesse à laquelle s'effectue la lecture. Les ASICs sont prévus pour supporter des fréquences de lecture allant jusqu'à 5 MHz mais cela n'a pas été testé. Les contraintes ne sont pas aussi fortes sur la carte DHCAL1 qu'elles pourront l'être sur de futures cartes électroniques qui beaucoup plus longues, contiendront plus d'ASICs (26 ASICs sur une carte de 2.26 m) et pour lesquelles il sera nécessaire d'accélérer l'horloge de lecture. L'absence d'adaptation des lignes communes pour baisser la consommation diminue d'autant plus la raideur des fronts des signaux circulant sur ces lignes que le nombre d'ASICs est grand et la carte longue.

La lecture

Une impulsion sur le signal `start_readout` démarre la phase de lecture dans le premier ASIC. Le FPGA récupère ses données sur la ligne commune `dout_n` ; elles sont signalées par une fenêtre sur la ligne `transmit_on_n`. Une fois déserialisées, elles sont stockées dans une RAM interne au FPGA avant leur envoi à l'ordinateur de pilotage. Elles sont déserialisées sur 8 bits. Le sens de leur stockage est choisi pour ne pas affecter leur lecture quel que soit

46. Pour le moment, la génération du signal d'autorisation est dévolue à l'acquisition mais il devrait à terme être réalisé à l'intérieur de l'ASIC afin de ne pas immobiliser les autres circuits de la carte pendant le traitement de l'évènement.

la dimension du bus de données en sortie de la mémoire ; ici le Big Endian (MSB first) a été choisi pour l'envoi vers l'ordinateur. Quand un ASIC a envoyé l'ensemble de ses données, il ferme la fenêtre (signal actif bas) et envoie le jeton à son voisin dans la chaîne. Une fois le jeton arrivé à la fin de la chaîne, il est retourné au FPGA pour lui signaler la fin de la lecture.

Les mémoires du FPGA utilisées pour l'enregistrement de toutes ces données ont été dimensionnées pour avoir une capacité qui soit une puissance de 2 immédiatement supérieure à la quantité de mémoire maximale d'un ASIC multipliée par le nombre d'ASICs. Afin que le code soit générique pour l'ensemble des ASICs de lecture des calorimètres de CALICE, cette valeur est fixée par des paramètres qui sont fonction du détecteur, dont dépendent les tailles des bus de données ou d'adresses. Cela a été rendu possible par l'ajout dans le code VHDL de fonctions simples permettant des opérations comme le logarithme base 2 de nombres puissances de 2 pour le calcul de la taille des bus d'adresse ou la définition en constantes des valeurs initiales de certains registres afin de passer outre certaines limites du langage.

La partie du programme qui gère de l'envoi des données à l'ordinateur est séparée du fonctionnement local de la machine d'état de séquencement des ASICs. Lors de la lecture des ASICs, un compteur d'octets est incrémenté. Il permet lors de l'envoi des données à l'ordinateur de connaître le nombre de données à envoyer et sert de butée lors du transfert. Il est remis à zéro avant que commence le prochain cycle de lecture des ASICs.

Connaissant le nombre maximum de données que peut contenir un ASIC, un délai est choisi au bout duquel l'ASIC est considéré ne répondant pas, information qu'il est possible d'afficher par exemple dans un registre de statut. En cas de problème, cet ASIC peut être déconnecté par configuration. Enregistrer l'ensemble des données reçues d'un ASIC — quitte à ce qu'elle soient erronées en nombre ou en contenu — peut permettre de comprendre l'état dans lequel il se trouve à cet instant.

Conclusions

Les codes du FPGA pour le séquencement des ASICs ainsi que le code RTL [47] de la partie digitale de l'ASIC HaRDROC1 ont été simulés conjointement pour vérifier la concordance des temps de réponse.

Les deux prochaines sections traiteront de la manière dont a été implémentée l'interface avec l'ordinateur par l'intermédiaire de l'USB.

2.3.4.3 Gestion de l'accès USB

Le composant USB FTDI FT245B et son principe de fonctionnement ont été décrits précédemment dans le paragraphe 2.3.2.3. Les spécifications des délais qui entrent en jeu lors d'un cycle de lecture ou d'écriture de ce dernier sont résumées dans les schémas 2.17 et 2.18, associés à la table 2.5. Dans ce qui suit, les termes *lecture* et *écriture* au niveau de l'USB sont utilisés du point de vue du FPGA dans son dialogue avec la FIFO USB (nom donné au FT245 du fait qu'il intègre, outre un contrôleur USB, des FIFOs pour la lecture et l'écriture).

Le FT245B suit la norme USB2.0 « Full Speed », avec une vitesse de transferts maximum de 12 Mégabits/s. Sa fréquence effective est moindre puisqu'il ajoute un protocole au

47. **R**egister **T**ransfert **L**evel : niveau de description de logique numérique ne prenant en compte que les bibliothèques de technologie globales et pas les bibliothèques constructeurs, ni les délais amenés par le placement et le routage.

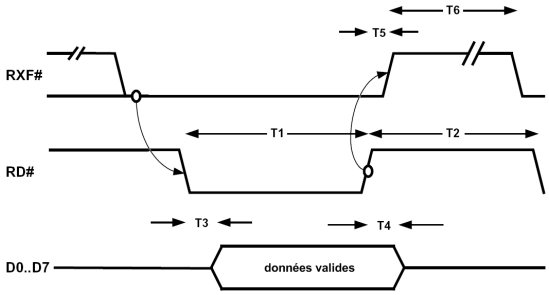


FIGURE 2.17 – *Cycle de lecture par l'USB avec le composant FT245.*

(© 2005 FTDI Limited, cf. Annexe A.3)

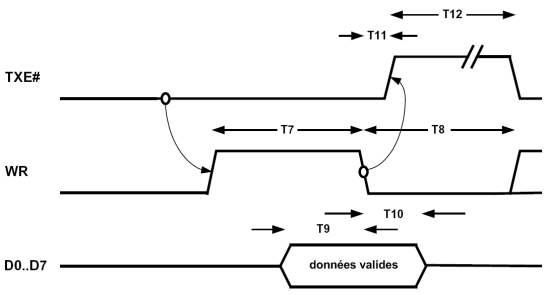


FIGURE 2.18 – *Cycle d'écriture par l'USB avec le composant FT245.*

(© 2005 FTDI Limited, cf. Annexe A.3)

Délai	Description	Min (ns)	Max (ns)
Cycle de lecture			
T1	Largeur d'impulsion active de `RD`	50	
T2	Temps de précharge de `RD` à `RD`	50 + T6	
T3	`RD` actif avant données valides	20	50
T4	Données valides avant `RD` inactif	0	
T5	`RD` inactif avant `RXF#`	0	25
T6	`RXF#` inactif après cycle de `RD`	80	
Cycle d'écriture			
T7	Largeur d'impulsion active de `WR`	50	
T8	Temps de précharge de `WR` à `WR`	50	
T9	Données prêtes avant `WR` inactif	20	
T10	Données tenues après `WR` inactif	0	
T11	`WR` inactif avant `TXE#`	5	25
T12	`TXE#` inactif après cycle de `WR`	50	

TABLE 2.5 – *Valeurs des délais à respecter pour un bon fonctionnement du composant USB FTDI FT245.*

(© 2005 FTDI Limited, cf. Annexe A.3)

dessus de l'USB afin de garantir le bon acheminement des données. La notice du composant spécifie une fréquence de 1 Mégaoctets/s, mais l'expérience montre qu'on peut monter jusqu'à 2 Mégaoctets/s dans le cas d'un transfert de données continu. Par ailleurs, rien n'indique que le composant respecte la norme Full Speed de manière précise, il peut fonctionner plus vite que nécessaire à son homologation par la norme. Le schéma 2.10 montre qu'il possède une horloge système de 48 MHz, cela signifie qu'il peut dialoguer avec le contrôleur USB au moins à cette vitesse. Il peut par exemple atteindre une vitesse double en utilisant des bascules de sortie fonctionnant sur les deux fronts de l'horloge.

Les paragraphes suivants traitent de la manière dont ont été mises en pratique les informations disponibles dans la table 2.5 sur les délais à respecter pour le dialogue avec la FIFO.

Lecture

La descente du signal `usb_rxf_n` (`RXF#` dans la notice du composant) indique que la FIFO a un mot de données à transmettre au FPGA. Lorsque celui est prêt à le recevoir,

il baisse le signal `usb_rd_n`. Entre 20 et 50 ns après, selon le constructeur, la valeur du bus de données entre le FPGA et le composant USB est alors stable. Afin d'être sûr de cette stabilité, j'ai choisi 50 ns. Les signaux entrants, à la fois de contrôle et de données, étant double–clockés, les délais sont modifiés comme suit : les données stables ne seront lues finalement qu'à partir de 100 ns (4 périodes de l'horloge système) après la descente du signal `usb_rd_n`.

La FIFO considère le front montant de `usb_rd_n` comme un acquittement de la donnée. Afin de rendre compte de la réception de cet acquittement, elle relève le signal `usb_rxf_n` pour clore le cycle de lecture. Le constructeur indique qu'il est nécessaire d'attendre 80 ns avant de pouvoir débuter un nouveau cycle de lecture, mais le FPGA n'a pas besoin d'en connaître la valeur, l'instant en étant indiqué par la nouvelle descente du signal `usb_rxf_n`. Un cycle total de lecture dure donc entre 5 et 6 périodes de l'horloges 40 MHz plus 80 ns soit 205–230 ns. Le temps minimum entre deux lectures est de 130 ns (50 ns avant d'avoir des données valides et 80 ns de recharge) mais cette vitesse n'est pas accessible en double–clockant les entrées.

Écriture

Contrairement au signal de relais de la FIFO pour la lecture, celui de l'écriture (`usb_txe_n`) est actif au repos. Même si le FPGA est esclave, il peut demander à envoyer des données, et la FIFO d'écriture les accepte tant qu'elle n'est pas pleine. La requête du FPGA est signalée par la montée du signal `wr`. Sa descente ne doit pas arriver moins de 20 ns après l'établissement des données sur le bus et la durée minimum de l'impulsion est de 50 ns. La FIFO signale la réception de la donnée par la montée du signal `usb_txe_n` qui survient entre 5 et 25 ns plus tard. Ce signal reste ensuite à l'état haut pendant 80 ns pendant lesquelles il ne faut pas monter le signal de demande d'écriture. La durée d'un cycle d'écriture est donc de 3 périodes de 40 MHz plus 80 ns soit 155 ns par rapport à un cycle minimum de 50 ns (ce qui est étonnant vis à vis du temps de recharge de 80 ns).

2.3.4.4 Protocole d'échange entre le FPGA et un ordinateur

Un premier type d'accès simple permettant le stockage et l'échange de données avec un ordinateur est un accès en lecture/écriture avec des registres. Nous l'appellerons « accès registre ». Il permet d'atteindre des informations stockées dans de petites mémoires de tailles fixes, comme le statut de la carte (en cours d'acquisition, en cours de lecture) et permet de choisir le mode de fonctionnement à adopter lors de choix binaires (acquisition continue ou évènement par évènement à titre d'exemple). Sa structure est simple à définir : dans le cas d'une lecture, l'ordinateur envoie une adresse codée sur un nombre de bits fixe avec une indication sur la direction de l'accès puis demande à lire un nombre d'octets correspondant à la taille d'un registre. Dans le cas d'une écriture, il envoie également une adresse et une indication sur le sens de l'accès, suivis cette fois ci des octets à affecter au contenu du registre. La machine d'état de gestion des « accès registre » est décrite dans un paragraphe séparé à la fin de cette section.

Néanmoins, ce type d'accès ne répond pas aux exigences en termes de durée d'exécution. En s'appuyant sur les chiffres cités dans la sous–section précédente, le calcul du temps nécessaire à un « accès registre » donne un maximum de 2 ms (soit 500 Hz). Afin de maximiser les vitesses de transfert de données par l'USB, il est possible d'utiliser des transferts en trames et de faire passer le maximum d'information à la fois. Ce deuxième type d'accès sera appelé « accès commande ».

Voici la structure en terme de transferts d'octets adoptée pour ces deux types d'accès : le premier octet envoyé permet au FPGA de différencier un « accès registre » d'un « accès commande ». Dans le premier cas, il permet également de connaître sa direction et de transférer le début de l'adresse qui sera complétée dans le second mot de la même trame.

Dans le deuxième cas, trois types d'« accès commande » sont implémentés :

– des commandes générant un flux de données entrant : l'octet de commande est suivi d'un nombre prédéfini de mots de données.
– des commandes générant un flux de données sortant : en réponse à l'octet de commande, le FPGA envoie un bloc données dont le nombre aura été défini à l'avance, soit fixé, soit stocké dans un registre.
– la même structure de trame est réutilisée afin d'agir de manière ponctuelle sur le fonctionnement du FPGA, par exemple en ayant pour effet de générer un signal de durée finie.

Le tableau 2.6 résume la structure des différents accès du protocole d'échange entre le FPGA et un ordinateur.

mot n°	1								2	3	4	5	6
bit n°	7	6	5	4	3	2	1	0	[...]				
accès registre	0							Add[9–8]	Add[7–0]	Reg[7–0]	Reg[15–8]	Reg[23–16]	Reg[31–24]
lecture		1											
écriture		0											
accès commande	1		Commande						Selon la commande				

TABLE 2.6 – *Détail de le la structure des trames du protocole d'échange entre le FPGA et l'ordinateur :* `Add` *représente les bits d'adresse et* `Reg` *les bits de données du registre accédé. Dans le cas d'une écriture, le FPGA les reçoit, et il les envoie dans le cas d'une lecture.*

Dans les deux premiers cas, le temps d'exécution vis à vis de la réactivité de l'interface est négligeable au vu des quantités de données à transférer (les données transitent à une fréquence d'environ 1 MHz alors que le temps d'accès est de l'ordre la milliseconde). Une fois les transferts de données terminés, certaines commandes ont un temps d'exécution local non négligeable, comme le chargement ou la vérification des paramètres. L'autorisation de faire fonctionner plusieurs tâches en parallèle nécessiterait une gestion trop complexe de l'interface. De plus, les tâches pourraient interférer entre elles ; il ne faut par exemple pas charger la configuration en même temps qu'effectuer la lecture. Le parti pris a donc été de ne pas accepter d'autre commande tant que la première n'est pas terminée. Afin d'éviter le blocage de l'interface, deux précautions ont été prises : premièrement, les « accès registre » sont autorisés. De cette manière, le déroulement de l'exécution de la commande peut être contrôlé et une nouvelle commande peut être lancée dès qu'elle est terminée, au délai de réaction de l'interface près. Deuxièmement, des compteurs mesurent le temps écoulé depuis le début de l'exécution d'une commande et il est possible de fixer un délai au bout duquel la tâche se termine automatiquement. Il est décrit par la suite la gestion de cette interface au niveau signal.

La machine d'état de gestion de l'interface avec l'ordinateur utilise un système de relais : lors de l'arrivée de la commande, un décodeur envoie une impulsion à la machine d'état qui prend en charge la réalisation de la tâche correspondante. Le canal de transfert de données de USB lui est alors attribué. Une fois la partie transfert par l'USB de sa tâche terminée,

elle envoie un acquittement à la machine d'état de gestion de l'interface qui se débloque et revient à son état initial. Pendant son exécution, un drapeau « occupé » est levé signalant à la machine d'état de gestion de l'interface avec l'ordinateur qu'elle ne doit accepter que des « accès registre ».

Dans un premier temps, une version d'acquisition a été développée où les commandes sont envoyées pas à pas correspondant à la « Single Slab DAQ ».

Le composant USB prend en charge la transmission des données mais il n'est pas fait mention dans sa notice qu'il gère le contrôle de leur intégrité, ce qui est un élément important dans un environnement potentiellement bruyant. J'ai donc implémenté un contrôle de redondance cyclique, un algorithme de traitement de données permettant d'effectuer de la détection et, selon sa taille, de la correction d'erreurs. La version choisie est le CRC–16 [48] du CCITT (un ancien office de normalisation pour les réseaux téléphoniques). Ce code ajoute 16 bits à la trame, soit deux périodes supplémentaires pour l'envoi des données.

Voyons maintenant le détail de la machine d'état qui gère les accès de type registre.

Gestion des registres

Un « accès registre » se déroule en deux étapes : d'abord la récupération de l'adresse et son décodage. Dans le cas d'une lecture registre, la valeur du registre est ensuite récupérée et transmises à l'ordinateur octet par octet. Dans le cas d'une écriture registre, les octets suivants sont récupérés puis combinés pour former le mot à stocker dans le registre. La cadence de la réception ou de l'envoi des mots est maîtrisée par le biais des signaux de statut de l'interface USB. Les transferts commencent avec les octets de la partie basse du registre

Contrairement au cas d'un « accès commande », la machine d'état de gestion de l'interface avec l'ordinateur prend en charge dans le cas d'un « accès registre » les autorisations de lecture ou d'écriture par l'USB. Cela amène une certaine redondance entre les états des machines d'état de gestion de l'interface avec l'ordinateur et de gestion des « accès registre ».

L'interface de gestion des registres est placée au plus haut niveau dans la hiérarchie du code VHDL afin d'éviter qu'une entité qui la contiendrait possède un nombre de signaux d'entrée/sortie trop important.

Les sous–sections suivantes décrivent les différentes machines d'état de gestion des commandes.

2.3.4.5 Paramétrage des ASICs

La configuration des ASICs est nommée « contrôle lent » pour l'ensemble des ASICs de CALICE [49].

Les paramètres des ASICs sont stockés localement dans un registre à décalage particulier situé dans la partie analogique du circuit. Chacune des bascules de ces registres a un impact sur le fonctionnement du circuit en agissant sur des interrupteurs qui peuvent relier certains composants optionnels. Cela permet par exemple de choisir le gain des préamplificateurs ou de choisir entre remise à zéro des latchs interne ou externe. Le registre à décalage ne possède pas pour le moment de signal de chargement comme c'est prévu dans

48. **C**ircle **R**edundancy **C**heck : contrôle de redondance cyclique.

49. bien que ce terme soit impropre puisqu'il fait référence au contrôle régulier de paramètres d'un détecteur en cours de fonctionnement alors que la configuration s'effectue en dehors du fonctionnement.

les versions futures du circuit, les bits chargés influent donc de manière pseudo–aléatoire sur le fonctionnement du circuit pendant leur chargement.

Certains paramètres de configuration des ASICs affectent le fonctionnement du micro-programme. Il aurait donc été utile que le paramétrage des premiers ait un retentissement direct sur celui du deuxième. Cependant, il était de loin plus facile de séparer les deux afin de ne pas ajouter une logique additionnelle qui détaille l'intérieur d'une chaîne de configuration. Le temps nécessaire pour un accès USB est de l'ordre de la milliseconde quand le temps de transmission d'un octet est d'une microseconde. Il n'est donc pas intéressant de stocker dans le FPGA chacun des paramètres de manière séparée puisque que le temps nécessaire au passage de la commande de chargement de la configuration est pratiquement le même que le temps d'envoi de la configuration elle même. Cela permet également de ne pas augmenter inutilement la complexité de la logique située sur le détecteur, et de garder une certaine modularité (on peut pas exemple définir la longueur de la chaîne de configuration comme un paramètre).

Chargement du contrôle lent

Le chargement des paramètres de configuration débute avec la récupération des données depuis l'USB. La première chose à faire alors est de vérifier leur intégrité. Si elles sont corrompues, un drapeau est levé dans le registre de statut qui permet à l'acquisition de savoir qu'elle doit recommencer leur envoi. Dans le cas contraire, elles sont mises en série et chargées.

La cadence à laquelle doit s'effectuer cette opération n'est pas définie par avance. Néanmoins, les bascules du registre de configuration étant instanciées directement dans la partie analogique de l'ASIC, il est possible que les délais entre deux bascules consécutives ne soient pas les mêmes et il est préférable d'opter pour une fréquence de l'ordre du MHz. La valeur en a été fixée à 1.25 MHz, ce qui semble donner un fonctionnement correct. Pour la même raison que les horloges d'acquisition et de lecture, cette horloge est générée à partir d'un compteur gray (cf. 2.3.4.2).

Le chargement s'effectue sur front descendant de l'horloge fournie afin de s'affranchir d'éventuelles problèmes de routage dans l'ASIC ou dans la carte qui ajouteraient un déphasage entre l'horloge et les données. L'ensemble des signaux qui sont mis à jour à cette fréquence utilisent des autorisations qui sont des impulsions d'une période d'horloge placée sur le front descendant de l'horloge du contrôle lent.

La longueur du registre de configuration a été fixée comme paramètre, tous les délais de chargement, les tailles mémoires et les tailles des bus d'adresse s'y réfèrent. De cette manière, cette partie est rendue générique pour les ASICs de lecture de l'ensemble des détecteurs de la collaboration (cf. 2.3.4.2).

En dehors des périodes de chargement ou de vérification, la sortie du FPGA qui pilote le signal d'horloge est mise en haute impédance afin d'éviter des perturbations sur le contrôle lent comme il en a été observé.

Vérification du contrôle lent

Il existe un besoin de pouvoir vérifier à un moment donné que les paramètres chargés n'ont pas évolué. La manière d'opérer adoptée est de commencer par chasser les données du registre avec des zéros, de les déserialiser et de les enregistrer dans une mémoire, puis de les recharger dans le registre de contrôle lent afin de ne pas avoir besoin de le refaire depuis l'ordinateur si aucune variation n'est détectée. Les données enregistrées sont ensuite

lues depuis l'ordinateur.

Ce bloc est semblable en de nombreux points à celui du chargement. Mis à part les deux étapes de déchargement/chargement, dans un cas les données de configuration sont réceptionnées depuis l'ordinateur alors qu'elles sont envoyées en fin de processus dans l'autre cas. Cela amène une différence importante : l'opération de vérification nécessite le passage de deux commandes, une pour les opérations locales et une pour la récupération des données, en raison du fonctionnement du composant USB. Les compteurs de temps échu intrinsèques au protocole avec la FIFO USB nécessitent une réponse à une commande de lecture de données dans un temps assez faible. Il faut donc que les données à envoyer à l'ordinateur soient prêtes au moment où la commande de lecture arrive. C'est pourquoi il faut attendre que les opérations de lecture locales soient terminées avant de passer la commande de récupération de ces données. À cette fin, le registre de statut est mis à jour constamment pour contenir l'information exacte sur l'état d'avancement de la première étape. Quand le drapeau correspondant sera abaissé, l'ordinateur pourra envoyer la commande de récupération des données à laquelle le FPGA pourra répondre immédiatement.

La machine d'état qui gère le chargement/déchargement des paramètres envoie un acquittement dès réception de la commande pour relâcher l'accès USB puis lève un drapeau pour signaler son état d'occupation. Dans la deuxième étape du fonctionnement de ce bloc, seulement un acquittement est envoyé à la fin du transfert USB.

Cette machine d'état comprend donc deux compteurs de temps échus, l'un pour les opérations locales et l'un pour la lecture des données par l'USB.

Le CRC, contrairement à l'étape de chargement est ajouté aux données sortantes.

2.3.4.6 Fonctionnalités de test

Les besoins en testabilité sont nombreux lors des phases préliminaires, afin de pouvoir isoler des fonctionnements erratiques ou observer des évènements fugaces. Un des problèmes de la carte DHCAL1 est le manque de fonctionnalités de test, comme par exemple de sorties du FPGA qui puissent servir de rechange, de sorties sur des connecteurs LEMO ou sur un connecteur d'analyseur logique. C'est pourquoi ont été développées un certain nombres de fonctionnalités supplémentaires qui donnent des facultés d'observabilité annexes. Certaines fonctionnalités de la carte comme la lecture analogique nécessitent la présence de modules externes. Avant intégration, il est indispensable de réaliser des tests basiques de fonctionnement. C'est la finalité du bloc de gestion de la DAQ analogique.

L'espion

Ce bloc permet d'enregistrer des données sur 16 bits avec une profondeur mémoire de 1024 cases puis de les transmettre à l'ordinateur par l'USB. L'utilisateur peut choisir les signaux à regarder, la condition de déclenchement de l'enregistrement ainsi que le signal d'échantillonnage qui peut être une horloge ou même un signal irrégulier. Dans le cas de l'utilisation d'une horloge 40 MHz, la profondeur mémoire correspond à un enregistrement d'une durée de 25.6 μs. Ce bloc utilise des capacités mémoire du FPGA non employées pour les développements.

Il donne donc accès à des signaux internes du FPGA en quantité plus importante qu'il n'existe de sorties disponibles sur la carte pour les observer sur un oscilloscope par exemple. Quand le stimulus de déclenchement intervient, les signaux d'entrée sont copiés dans la mémoire au rythme du signal d'échantillonnage.

La mémoire doit être pleine pour qu'elle puisse être lue, ce qui peut être une contrainte dans le cas d'évènements trop peu fréquents.

Interface série

Comme le nombre de sorties disponibles sur des connecteurs LEMOs était trop faible pour observer un nombre de signaux suffisant, cette interface a permis de corriger les erreurs existant dans les premiers développements sur l'interface USB. Une mémoire est remplie sur les fronts des impulsions de lecture et d'écriture dont le contenu est restitué en série. En observant à l'oscilloscope ces signaux de données ainsi qu'un signal impulsionnel repérant le début des mots, l'utilisateur peut récupérer le contenu de cette mémoire. Il lui reste alors à décoder les mots série pour en comprendre la signification. Cette fonctionnalité peut être utile dans d'autres circonstances.

La DAQ analogique

La gestion de la DAQ analogique comprend plusieurs fonctionnalités : selon le mode il est possible de piloter le registre à décalage de multiplexage des sorties analogiques des ASICs ou de laisser cette tâche à une acquisition externe. Le mode émulation permet de sélectionner une voie en particulier afin de pouvoir l'observer à l'oscilloscope.

2.3.4.7 Conclusions et discussion

Le code VHDL réalisé est donc générique selon le type de détecteur (longueur du registre de configuration, quantités de données à lire) et de FPGA (Xilinx, Altera). Ses paramètres sont regroupés dans un fichier d'entête afin de les regrouper. La manière d'aborder les différences entre FPGAs a été peu décrite. La principale caractéristique de la stratégie adoptée est d'isoler les parties du code spécifiques et d'y associer des fichiers séparés. Cela concerne la description des blocs à architecture optimisée comme les mémoires ou non décrite comme les DLL et DCM. Il est possible pour les premiers d'utiliser une manière de décrire qui permettent de cibler une architecture en particulier sans utiliser les modèles de boîtes noires fournis par les constructeurs, mais ce ne sera pas forcément le même type de code en fonction du constructeur et c'est impossible dans le deuxième cas. Il eut été simple de rendre générique également les paramètres de taille concernant les « accès registre ».

Cette manière de procéder peut avoir des limites en ce qui concerne les quantités de mémoire dans les FPGAs ou d'éventuels problèmes de vitesse si la fréquence d'horloge est trop différente de celle utilisée dans le projet initial.

L'USB semble limitant pour la vitesse d'acquisition vis à vis de ses temps d'accès. Une autre stratégie aurait sans doute pu fonctionner, qui aurait consisté à lire régulièrement les données contenues dans une FIFO au fur et à mesure de leur écriture, en mettant à jour leur nombre dans un registre. Mais cela aurait nécessité d'encapsuler les données afin de pouvoir reformer les trames, d'utiliser des caractères d'envoi direct (spécificité des FT245) et de coder les données pour éviter d'y trouver des occurrences de ces caractères et il n'est pas certain, du fait de la nécessité d'accès fréquents que le résultat aurait été plus satisfaisant.

La pulsation de l'alimentation des différents bloc des ASICs n'est pas implémentée pour le moment. Cette étude sera à faire dans un second temps. Les délais de mise en marche de chacune des parties concernées devront être évalués par l'observation de l'état de sorties significatives et les transitions d'état de la machine d'état devront les respecter, quitte à rajouter des états ou des délais pour les transitions à l'aide de compteurs. La partie digitale

doit nécessairement être remise à zéro après son allumage pour que les bascules se trouvent dans un état connu.

2.4 Logiciels de lecture des cartes DHCAL1

Des développements logiciels ont été effectués conjointement à celui du microprogramme pour réaliser le pilotage et la lecture des données de la carte DHCAL1 depuis un ordinateur. Une librairie de fonctions a d'abord été écrite qui donne des primitives d'accès direct à la carte et aux ASICs (cf. 2.4.1). Puis, une première interface en ligne de commande a été développée qui utilise ces primitives (cf. 2.4.2). Enfin, une interface graphique réalisée sous Labview faisant appel à la librairie sous forme d'un objet partagé est venue compléter l'environnement logiciel en fournissant un système d'acquisition cyclique indépendant et convivial (cf. 2.4.3).

Certains aspects généraux de l'interface logicielle vers l'USB (comme les délais d'exécution) de même que des aspects architecturaux ont déjà été abordés dans la section sur la schématique de la carte (cf. 2.3.2.3) ainsi que dans les sous–sections du microprogramme concernant la gestion des accès USB et le protocole d'échange avec le FPGA (en 2.3.4.3 et 2.3.4.4 respectivement), nous ne revenons donc pas dessus.

2.4.1 Bibliothèque d'accès commandes et registres

Une librairie logicielle (écrite en langage C) générique selon le type d'ASIC, associée à la librairie VHDL du microprogramme a d'abord été développée pour gérer les accès à la carte DHCAL1. Elle est nommée libROC [50]. Un fichier d'entête contient l'ensemble des paramètres de la carte et des différents ASICs « ROC [51] » (nombre d'ASICs, taille du registre de configuration et d'une trame de données, etc).

Cette librairie est conçue avec différents niveaux d'abstraction : une couche de gestion de l'USB qui gère l'interface avec la FIFO et son EEPROM de configuration (sous–section 2.4.1.1), une couche d'entrées/sorties qui comprend les interfaces avec des fichiers ou le terminal (sous–section 2.4.1.2), et une couche de plus haut niveau qui propose des commandes d'accès direct au FPGA ou aux ASICs (sous–section 2.4.1.3).

Le schéma 2.19 résume le principe de fonctionnement du pilote de la carte DHCAL1. Les flèches représentent les principaux axes de transfert de données : l'interface avec des fichiers à gauche, le passage par l'API [52] constructeur pour atteindre le pilote matériel [53] au centre et la couche protocole d'échange avec le FPGA et les ASICs sur la droite.

2.4.1.1 Accès USB

Le composant FTDI FT245BL est accessible par une librairie partagée nommée libftd2xx dont il existe une version sous linux. Sous WINDOWS™, elle est associée à un pilote matériel qui prend en charge les accès USB par l'intermédiaire de l'agent d'ordonnancement

50. librairie pour les puces ROC

51. **R**ead**O**ut **C**hip : dénomination donnée aux ASIC développés par le LAL pour les calorimètres de .

52. **A**pplication **P**rogramming **I**interface : interface de programmation applicative. Ensemble de fonctions, procédures ou classes mises à disposition des programmes informatiques par une bibliothèque logicielle, un système d'exploitation ou un service.

53. un logiciel qui accède directement à un périphérique, par opposition à pilote virtuel (« hadrware driver » et « virtual driver » en anglais)

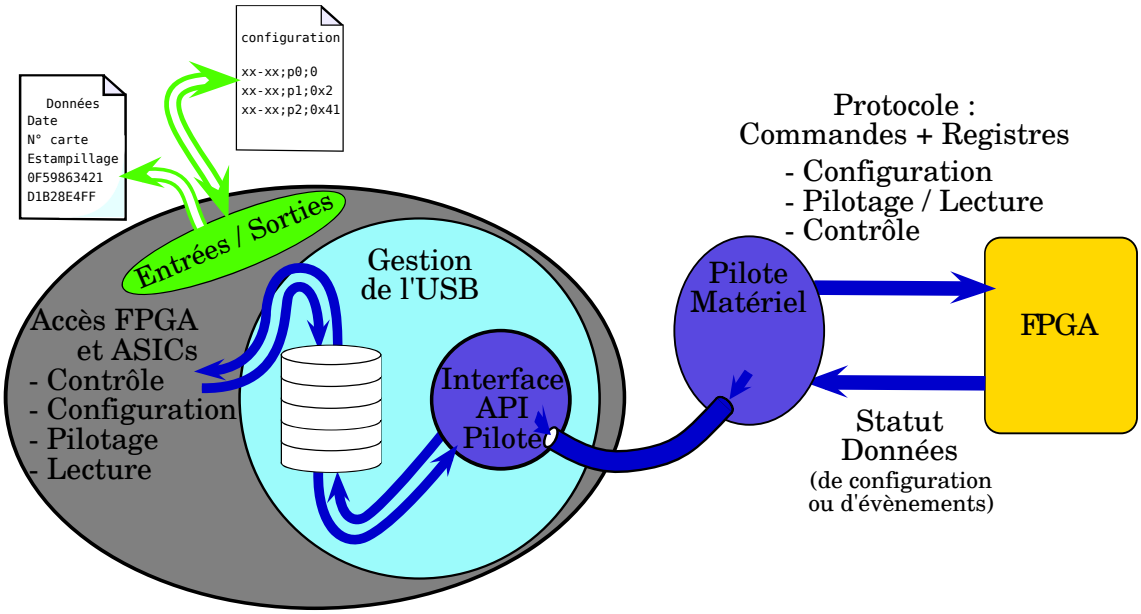


FIGURE 2.19 – *Principe de fonctionnement du pilote de la carte DHCAL1. La pile dans le bloc de gestion de l'USB représente le découpage des trames en octets.*

USB (« scheduler » en anglais) et du contrôleur hôte. Sous linux, elle fournit une interface au démon USB par des appels systèmes en « mode utilisateur ». Les différences dans l'implémentation font que les performances sont inégales (les délais d'accès sous linux sont un peu plus longs). Cette librairie fournit une interface unique pour tous les composants FTDI connectés (au maximum 64). Les différents fils d'exécution (processus légers) et leur synchronisation sont pris en charge par la librairie pthread (POSIX [54] threads, dont le port WINDOWS™ utilisé est nommé pthreadWin32), ce qui permet un fonctionnement parallèle et événementiel. Les accès pris en charge sont de type lecture, écriture et paramétrisation (temps limites de la FIFO ou du pilote logiciel, taille de l'unité de mémoire tampon allouée pour les accès, mode de fonctionnement).

Les fonctions USB de la librairie libROC consistent principalement en un encadrement des commandes fournies par la librairie constructeur afin de fournir une interface homogène et modulable selon les paramètres utiles dans notre situation. Deux paramètres définis par la norme USB permettent de faire référence à un composant connecté à l'ordinateur de pilotage : un pointeur mémoire sur 8 caractères hexadécimaux (« handle ») ainsi qu'un entier signé désignant l'ordre de connexion des périphériques (« index »). L'ensemble des commandes ont d'abord été instanciées en référence à cet « index » qui est plus facile à appréhender par un utilisateur (un nombre entier entre 0 et 63). Les paramètres qu'il peut être utile de modifier ont été gardés comme ports d'entrées/sorties et une gestion d'erreur standard a été introduite. Les commandes subsistant consistent donc à lister les composants connectés, à contrôler leur état ainsi qu'à ouvrir, paramétrer, lire, écrire ou fermer l'un d'eux en particulier.

54. **P**ortable **O**perating **S**ystem **I**nterface : famille de standards d'API logicielles définie depuis 1988 par l'IEEE, désignée formellement IEEE 1003. Le X exprime l'héritage UNIX de ces interfaces.

2.4.1.2 Entrées/sorties

La gestion des entrées sorties concerne le chargement en mémoire de paramètres de configuration, la vérification d'une chaîne d'octets de configuration par rapport aux valeurs contenues dans un fichier, la navigation parmi les registres selon leur nom et l'affichage de leur contenu à l'écran, ainsi que l'écriture des données reçues dans un fichier. A ceci se rajoute le calcul du CRC pour la vérification de l'intégrité des trames.

Un moyen simple de stocker les paramètres de configuration et de leur donner par là même une mise en forme qui soit compréhensible pour l'utilisateur est de les formater selon le standard CSV [55] dont la syntaxe est native aux tableurs. J'ai donc créé un format type de fichier de configuration structuré de la manière suivante :

`Index ;Nom ;Valeur_ASIC_1 ; ... ;Valeur_ASIC_n`

où Index représente le rang des bits dans la trame de configuration, Nom le nom de ce groupe de bits et Valeur_ASIC_i la valeur de ce groupe de bits pour l'ASIC i. Ce fichier est aisément adaptable pour l'ajout de nouveaux paramètres ou ASICs dans la chaîne de configuration, et est en même temps lisible et synthétique. La seule difficulté pour un utilisateur non averti est l'utilisation des codages binaire ou hexadécimal dans cette première version, ce qui est modifiable dans la routine qui passe à travers le contenu de ce fichier. Le nombre de colonnes attendu est dépendant du nombre d'ASICs qui est précisé dans le fichier d'entête, comme l'est la longueur maximum en nombre de caractères hexadécimaux que peut avoir un mot de données. L'index contient le numéro du bit de poids fort séparé du numéro du bit de poids faible par un signe moins, ce qui permet à l'algorithme d'analyse de la syntaxe du fichier de vérifier que le nombre de caractère hexadécimaux spécifié dans la valeur associée correspond bien. De la même manière, un certain nombre de tests sont effectués sur la syntaxe du fichier pour simplifier la localisation d'une éventuelle erreur. Les valeurs des paramètres lues sont ensuite passées au niveau supérieur sous forme d'une chaîne d'octets qui est le format utilisé pour le transfert des données par l'USB.

Les registres sont instanciés dans un tableau qui contient, outre leur nom et leur adresse, un identifiant logiciel, un masque et les types d'accès autorisés (en lecture seulement, en écriture seulement, ou les deux). Dans l'interface de plus haut niveau, ils sont accédés par leur identifiant (qui est le même que la chaîne de caractère de leur nom mais sous forme de variable) ou par l'intermédiaire de leur nom. Des fonctions existent donc qui permettent de les rechercher selon ce critère. C'est le moyen le plus aisé pour les retrouver dans le cas d'une interface en ligne de commande.

2.4.1.3 Accès direct à la carte et aux ASICs

Le niveau hiérarchique le plus haut de la librairie contient les fonctions d'accès direct à la carte et aux ASICs. L'éventail des commandes a été choisi dans un premier temps pour pouvoir faire évoluer pas à pas les ASICs et vérifier visuellement les transitions (à l'oscilloscope ou dans le registre de statut). Cela correspond également aux besoins d'une « Single Slab DAQ » (cf. 2.3.4). Elles ont été optimisées dans un second temps pour les tests en faisceau où diminuer les temps de transfert s'est révélé nécessaire (cf. 3.2.3.1).

Ces fonctions tiennent compte du fait que les »accès registre » sont libérés lorsqu'une commande est en cours d'exécution dans le FPGA. Des boucles d'accès au registre de statut sont effectuées lorsque nécessaire pour contrôler la fin d'une opération.

55. **C**omma **S**eparated **V**alues : standard de format de fichier, où les données d'une même ligne sont séparées par des virgules ou des points-virgules.

Listons maintenant les principales commandes existant :
- identification des cartes selon leur numéro de série (programmé au préalable dans l'EEPROM de configuration du composant USB).
- initialisation et configuration de l'accès USB.
- chargement et vérification de la configuration des ASICs.
- « accès registre ».
- acquisition (démarrage, arrêt, contrôle du nombre de déclenchements et du statut).
- lecture de données (démarrage, arrêt, contrôle du statut et de la quantité de données, rapatriement de celles–ci vers l'ordinateur).

Chacune de ces fonctions utilise plusieurs des fonctions des couches de plus bas niveau. Détaillons à titre d'exemple le fonctionnement de celle qui permet de vérifier le contenu de la configuration des ASICs : la chaîne de configuration préalablement chargée dans le registre de configuration des ASICs est à nouveau mise en mémoire. Un octet de commande est ensuite envoyé au FPGA. À sa réception, il pousse les données hors du registre de configuration, les enregistre dans une mémoire, puis les recharge dans le registre de configuration. Ceci prend dans le cas de la carte DHCAL1 (le temps de traitement dans l'ordinateur est omis) :

$$\begin{aligned} t &= \underbrace{\sim 1\,\text{ms}}_{\text{(accès USB)}} + \underbrace{4 \times 571/8 \times 1\,\mu\text{s}}_{\text{(envoi des données par l'USB)}} + \underbrace{4 \times 571 \times 1.25\,\mu\text{s}}_{\text{(chargement local)}} \\ &= \sim 1\,\text{ms} + 286\,\mu\text{s} + 2.855\,\text{ms} \\ &= 4.141\,\text{ms} \end{aligned}$$

Ce temps pouvant varier selon les charges du processeur et de l'agent d'ordonnancement, nous accédons le registre de statut en attendant la fin de l'opération. Ceci fait, un octet de commande est envoyé au FPGA pour lui signifier que nous sommes prêt à réceptionner ses données. Il les envoie donc assorties d'un CRC qui nous permet de contrôler l'intégrité de la trame à réception et de l'indiquer par le mécanisme de gestion d'erreur.

Les fonctions proposées dans leur ensemble utilisent un « handle » pour désigner la carte et font donc appel aux fonctions USB adéquates (sous linux, il n'est plus possible de faire appel à la fonction qui liste les cartes connectées à l'ordinateur de pilotage après ouverture de l'une d'elles. Il n'est donc pas possible en cours de fonctionnement de récupérer l'« index » en fonction du « handle »).

2.4.2 Interface en ligne de commande

Une interface en ligne de commande a été développée pour fournir un accès simple au pilotage des cartes. Elle a été utilisée lors des tests sur table (cf. section 3.1) avant qu'une interface graphique soit accolée à la librairie.

Elle fournit un ensemble de fonctions dérivé de la librairie plus certaines facilités pour générer automatiquement des séquences d'appels de fonctions répétitifs, avec la gestion d'interactions avec l'utilisateur pour lui faire préciser la valeur d'un paramètre, l'informer sur l'entrée dans un mode de fonctionnement particulier, sur les valeurs de retour ou sur les temps d'exécution.

Afin de rendre cette interface plus conviviale, la librairie « GNU readline » a été instanciée. Outre l'ensemble des fonctionnalités de base attendues d'une ligne de commande (position du pointeur de caractère, édition de la mémoire tampon de commande, gestion des interruptions, association de chaînes de caractères à des commandes), elle donne accès à la complétion automatique et à l'historique des commandes passées ainsi qu'à sa manipulation. Dans notre cas, une complétion sur le nom de la commande est réalisée pour

le premier mot de la ligne, et une complétion sur le nom du registre dans le cas où la commande est identifiée comme une commande d'« accès registre ».

Pour permettre l'action sur plusieurs cartes de manière simultanée, la librairie Pthread a également été utilisée. Dévolue initialement à la réalisation d'une acquisition de données de plus grande envergure, elle a malgré tout permis d'instancier un fonctionnement parallèle des cartes, testé dans le cas d'un accès registre (demandes d'écritures et de lectures successives dans plusieurs cartes avec retours échelonnés selon les temps d'accès et contrôle des valeurs).

2.4.3 Librairie partagée pour pilotage sous Labview

Une interface graphique de gestion des cartes a été développée sous Labview à l'IPNL [56] (R. Della–Negra), utilisant la librairie libROC. Cela a nécessité la compréhension des limites inhérentes à Labview, comme l'impossibilité d'allouer de la mémoire à sa place, l'obligation d'utiliser des types prédéfinis ou la manière d'effectuer les appels à une librairie externe.

La librairie a dû être adaptée pour supporter des accès dynamiques (dll [57] sous WINDOWS™ et so [58] sous linux). Elle a donc été modifiée pour être réentrante, à savoir accepter plusieurs appels simultanés, ce qui implique entre autres de ne pas garder de variable stockées en mémoire (comme les variables statiques) dont la valeur pourrait être différente d'un appel à l'autre.

J'ai participé à la réflexion de principe sur le schéma de l'acquisition, à l'intégration, au test de fonctionnement et à l'optimisation en temps des commandes sous Labview. Une première version d'acquisition tournante à donc été utilisée sur le banc cosmique (voir 3.2).

Une deuxième version a été développée pour fonctionner avec la version de la librairie utilisée lors des tests en faisceau (voir 3.3). Outre la simplification des séquences de commandes, un fonctionnement multi–tâches a été mis en place.

2.4.4 Conclusion

Un système d'acquisition logiciel complet a été développé pour le prototype de calorimètre hadronique semi–digital, venant compléter son électronique. Différentes versions en sont disponibles : une « Single Slab DAQ » qui, associée à un microprogramme dédié, permet de tester une carte isolée de manière indépendante, également utilisée pour des tests avec des cosmiques, ainsi qu'une deuxième version, optimisée en vitesse, consacrée à des tests en faisceau.

56. **I**nstitut de **P**hysique **N**ucléaire de **L**yon : laboratoire de l'IN_2P_3.
57. **d**ynamic **l**oaded **l**ibrary : librairie logicielle à chargement dynamique, concept et objet WINDOWS™.
58. **s**hared **o**bject : librairie logicielle partagée, concept et objet unix.

Chapitre 3

Tests et mise en œuvre de la carte DHCAL1

Dans ce chapitre, nous présentons en section 3.1 les tests sur table de la carte DHCAL1. Pour les tests effectués avec des rayons cosmiques (section 3.2) et des faisceaux de particules (muons et pions principalement) au CERN (section 3.3), jusqu'à cinq cartes ont été jumelées avec des détecteurs de type RPC (cf. figure 3.29) pour obtenir des données exploitables pour l'étude des performances de ce type de calorimètre. Nous présentons dans ces sections les performances de notre électronique pour ces deux types de tests.

3.1 Tests sur table

3.1.1 Méthodologie et résultats

Des tests basiques ont tout d'abord été réalisés à la réception des cartes DHCAL1 à l'IPNL pour détecter d'éventuelles erreurs de conception ou de réalisation.

Les test de continuité et de diaphonie avec le PCB nu ont été décrits en 2.3.3. Nous avons procédé aux tests d'alimentation une fois la carte câblée. Pour éviter autant que possible des court-circuits destructifs, une limite est imposée sur sa consommation (celle ci ayant été évaluée à la conception de la carte selon la documentation de ses composants).

Des problèmes de court-circuits, d'alimentation et d'empreintes ont été détectés qui nous ont contraints à sectionner certaines pistes du circuit imprimé, réaffecter des entrées/-sorties du FPGA et changer des composants passifs de la carte. Certaines fonctionnalités ont été perdues, dont une partie des capacités de test initialement présentes. La consommation en courant mesurée sur l'alimentation 3.3 V après programmation du FPGA est de 600 mA. La valeur en cours de fonctionnement de l'acquisition n'a pas été consignée mais peu de variations ont été observées.

Une fois la carte correctement alimentée, les premiers essais de programmation du FPGA ont été effectués.

Le FPGA est un excellent outil pour observer le fonctionnement de la carte : une fois programmé, il est possible de rediriger certaines de ses entrées sur des sorties reliées à des connecteurs afin de pouvoir observer les signaux (avec un oscilloscope par exemple). A partir du FPGA on peut aussi générer des séquences de test pour chaque composant.

Le test des fonctionnalités se fait tour à tour car il n'existe pas de moyen simple d'en vérifier l'ensemble. Il faudrait pouvoir tester toutes les connexions, l'ensemble des niveaux

de tension durant chaque étape de fonctionnement, et il est fréquent que des erreurs dans la réalisation du microprogramme soient découvertes uniquement lors du fonctionnement réel de la carte. Afin de pouvoir se rendre compte aisément de la réussite de l'opération de chargement, j'ai développé un microprogramme dédié, affichant sur certaines sorties des motifs reconnaissables (comme par exemple celui de l'horloge système).

Le chargement par le JTAG [1] a fonctionné immédiatement mais pas celui de la SPI [2] EEPROM, qui permet de garder la configuration utilisée même après une coupure de l'alimentation. En observant les signaux de ce composant durant sa programmation, un conflit a été détecté avec le FPGA qui tente lorsqu'il n'est pas programmé après l'allumage de la carte de se programmer seul en utilisant l'EEPROM. Il a donc fallu lors du premier chargement de chacune des EEPROMs procéder d'abord au chargement du FPGA par le JTAG afin de libérer l'accès à la EEPROM.

Sur l'une des cartes, il s'est avéré que le chargement du FPGA était impossible à réaliser. Le suivi de ses différents cycles de programmation, détaillés dans les notices d'utilisation [36], a permis de comprendre que le FPGA n'activait pas sa patte `INIT_B`. Il a donc été remplacé, le problème provenant certainement d'un des court-circuits initiaux.

L'étape suivante a consisté à accéder le FPGA en utilisant l'interface USB, afin de vérifier l'état du canal de transmission et le bon fonctionnement du protocole d'accès. Le plus simple est de commencer par les « accès registre » (cf. 2.3.4.4). Le premier essai n'étant pas probant, après avoir vérifié que les signaux sur les pistes différentielles de la FIFO USB correspondent aux attentes en terme de niveau et de fréquence, il a été conclu que l'interface entre le composant USB et le FPGA était en cause. Les signaux du passage de relais entrant semblant corrects et en l'absence de connecteur pour un analyseur logique ou même du nombre de canaux suffisant pour regarder l'ensemble des bits des données entrantes, j'ai développé un système d'observation simple (détaillé dans la dernière partie des fonctionnalités de test du microprogramme (cf.2.3.4.6 P.63)) qui permet d'enregistrer les premiers mots d'une trame (selon la capacité mémoire) et de les restituer en série sur une patte de test du composant, associés à un signal de début de mot afin de pouvoir décrypter les octets à l'oeil nu. Ceci a permis de comprendre que les mots entrants n'étaient pas échantillonnés correctement, ce qui tendait à remettre en cause les délais utilisés dans cette première version d'interface USB, ce qui a été corrigé.

Le même type d'ajustement a été réalisé sur la partie écriture pour mener enfin à des « accès registre » fonctionnel. Il est difficile dans ce genre de situation de séparer les causes entre le microprogramme et le logiciel qu'il faut corriger en même temps. La fréquence de transfert en lecture a été évaluée en envoyant des octets de données de manière continue de l'ordinateur vers le FPGA et en mesurant à l'oscilloscope la fréquence des signaux de passage de relais. Une valeur constante de 2 MHz a été trouvée, le double de celle attendue (cf. 2.3.4.3 P 57).

3.1.1.1 Configuration des ASICs

La condition sine qua non pour pouvoir effectuer les premières mesures avec les ASICs est de pouvoir les configurer. Ce fut l'occasion de réaliser les premiers « accès commande » et de tester la deuxième partie de l'interface qui gère le protocole. La partie transfert de

1. **J**oint **T**est **A**ction **G**roup : nom du groupe qui a développé le standard IEEE 1149.1 en 1990, utilisé pour désigner ce standard. Il comprend la définition d'une interface série permettant de réaliser des tests d'interconnexion sur un circuit imprimé électronique ou dans un ASIC.

2. **S**erial **P**eripheral **I**nterface : bus de donnée série synchrone ayant un schéma maître-esclaves et permettant un fonctionnement en Full Duplex.

données par USB fonctionnant, les signaux du registre de configuration ont été observés à l'oscilloscope en entrée du premier ASIC pour vérifier la validité des données chargées (voir figure 3.1). La seule manière de vérifier que le chargement se déroule bien à ce niveau

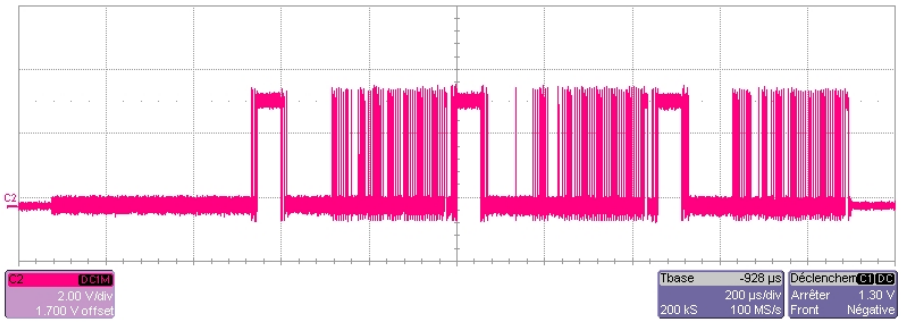


FIGURE 3.1 – *Figure à l'oscilloscope des signaux de données de configuration en sortie du premier ASIC de la chaîne présente sur la carte DHCAL1. La figure montre 3 trames qui contiennent les données de configuration pour les ASICs suivants.*

est d'observer les variations de comportement de l'ASIC selon la valeur des paramètres chargés. Le premier indicatif utilisé a été la tension de sortie des DACs qui est simple à mesurer. Après avoir mis à jour un certain nombre d'erreurs dans l'algorithme de création des trames de configuration au niveau du logiciel, nous nous sommes rendus compte que contrairement aux indications de la notice de l'ASIC, les données se chargeaient bit de poids fort d'abord (il fallait ajouter à la difficulté de compréhension le fait que les bits de configuration correspondants sont actifs à l'état bas et que leur activation diminue la tension de sortie, ce qui n'est pas habituel).

Après avoir réussi à configurer un ASIC, le chargement de la configuration pour les autres ASICs de la chaîne a été testé. Afin de vérifier que le transit des données à travers le registre à décalage de configuration d'un ASIC se déroule correctement, les données sont observées en sortie de cet ASIC. En sortie du deuxième ASIC, les données étaient corrompues. Or l'horloge lui est distribuée de la même manière qu'au premier et les données à son entrées sont mises à jour sur front montant de cette horloge. Cela signifie donc que les différences de délais entre l'horloge et les données sont telles que le temps de setup/hold de la bascule d'entrée du second soit violé. La figure 3.2 décrit la dérive de phase entre l'horloge et les données sur la carte DHCAL1. Pour tenter de changer cette relation de phase, nous avons choisi de couper la piste d'horloge à la sortie du FPGA et de la faire entrer à côté du dernier ASIC. Cela fait arriver l'horloge à son entrée $\sim$2.5 ns plus tard, ce qui s'est révélé suffisant. Cette manière de procéder serait encore plus viable pour une carte contenant plus d'ASICs où la variation de phase serait plus grande. En entrée du troisième ASIC, l'horloge n'arrive que $\sim$1.25 ns plus tard que prévu initialement mais les données sont également décalées en sortie du deuxième du fait du décalage de son horloge. Les différences de délais dues au routage sur la carte étant faibles, il est probable que le problème soit dû au routage dans la partie analogique de l'ASIC (phase de l'horloge selon les bascules par exemple).

3.1.1.2 Système d'injection de charges

Pour simuler le fonctionnement d'un détecteur, on injecte une charge connue en entrée des préamplificateurs de l'ASIC en utilisant un échelon en tension (typiquement 1 V,

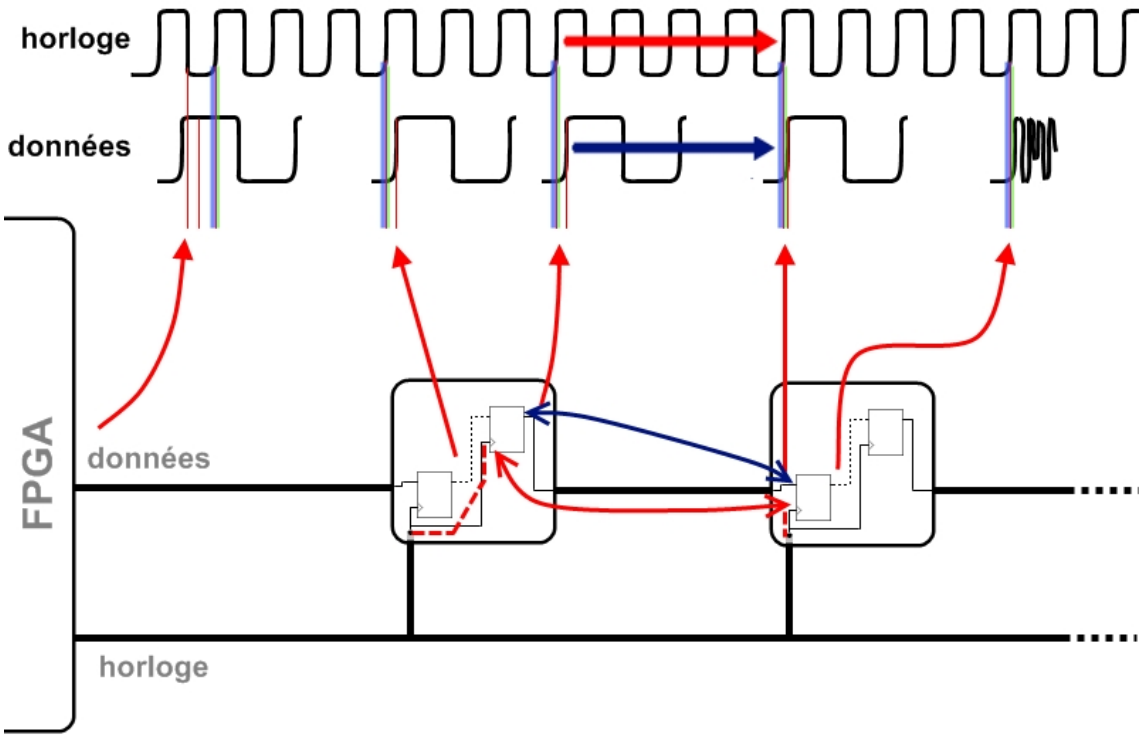


FIGURE 3.2 – *Représentation de la variation de phase entre l'horloge et les données du chemin de configuration sur la carte DHCAL1.*

équivalant à une charge de 2 pC) à travers une capacité de 2 pF±20 %. Le schéma 3.3 représente la manière dont s'effectue cette injection. L'entrée du préamplificateur étant une masse virtuelle, la quantité de charge injectée est proportionnelle à la valeur de l'échelon par la relation $Q = CU$. Le niveau continu de l'échelon est à prendre en considération puisque chacune des pattes d'entrée de l'ASIC est relié à des diodes de protection qui limitent la sur- ou sous-tension à 800 mV.

Les capacités internes ayant une valeur assez peu précise, il peut être intéressant de procéder à une injection de charge directe sur une patte d'entrée de l'ASIC par une capacité externe mieux étalonnée. Cela a l'avantage de contourner la limitation en niveau continu imposée par les diodes mais nécessite un appareillage approprié et des précautions particulières. Pour atteindre les plus faibles niveaux d'injection nécessaires tout en conservant la précision sur la valeur de l'échelon en tension, un atténuateur a été utilisé (46 dB d'atténuation pour 1 V dans 2 pF afin d'avoir 10 fC).

Le système d'injection a d'abord été utilisé pour vérifier le fonctionnement de l'électronique analogique des ASICs de la carte DHCAL1. Un certain nombre d'empreintes de composants passifs sont prévues pour ajuster les courants de polarisation de chacun de leurs blocs afin de maximiser la qualité de leur réponse et d'optimiser le rapport signal sur bruit. Les composants adéquats ont donc été soudés pour se rapprocher des valeurs prévues par la simulation. Les paramètres de configuration ont également été choisis de manière à optimiser d'une part le rapport signal sur bruit et d'autre part les temps de pic des mises en forme vis à vis du délai d'arrivée du signal de maintien. L'image 3.4 montre la forme générale des sorties des mises en forme après ces modifications.

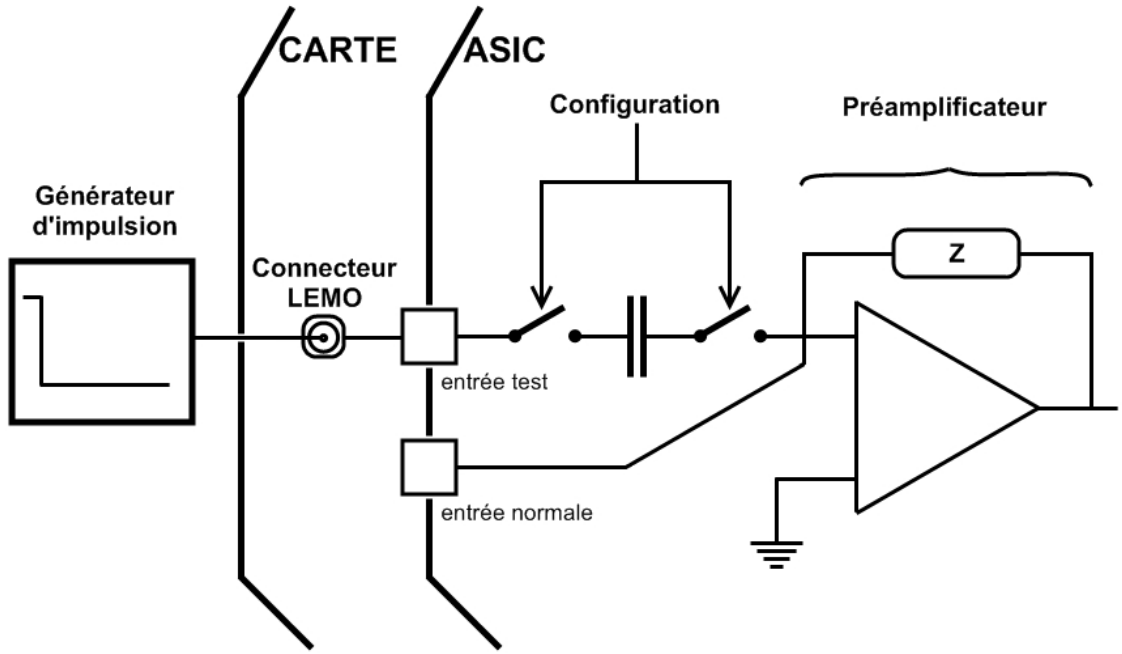


FIGURE 3.3 – *Schéma de principe du système d'injection de charge dans les ASICs de la carte DHCAL1.*

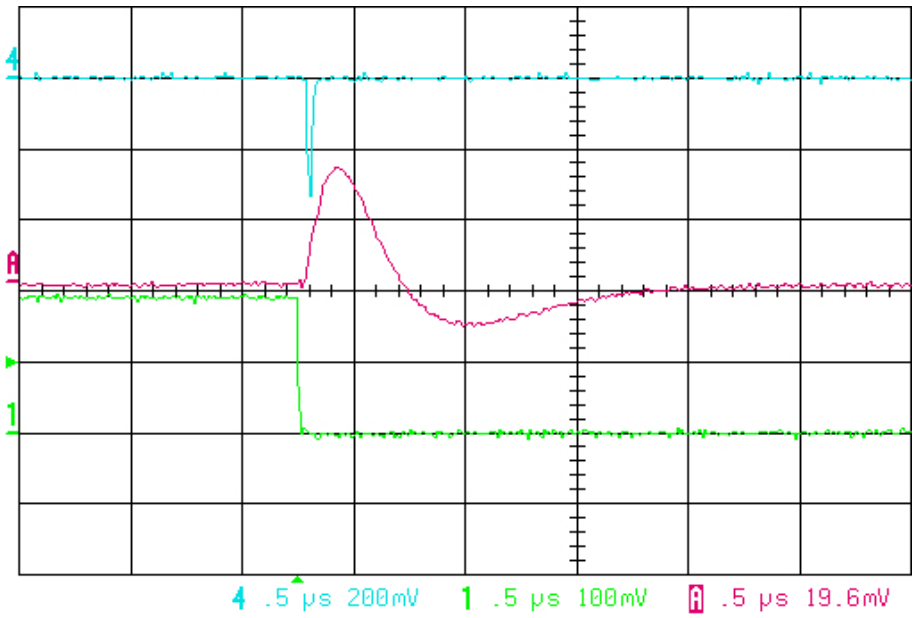


FIGURE 3.4 – *Figure à l'oscilloscope des signaux des sorties des mises en formes d'un ASIC de la carte DHCAL1. En vert (courbe n° 1 en bas) l'échelon de tension utilisé pour l'injection de charge, en bleu clair (n°4 en haut) la sortie de la mise en forme rapide et en violet (n°A) la mise en forme lente.*

3.1.1.3 Acquisition de données numériques

Une fois le réglage de la configuration des ASICs fonctionnel, l'acquisition de données numériques a été validée « pas à pas » : chacune des étapes du séquencement des ASICs et du transfert des données ont été orchestrées par des commandes lancées manuellement depuis l'ordinateur. Les réponses ont été observées à l'oscilloscope ou dans le registre de statut du FPGA.

Le fonctionnement le plus simple possible a été observé. Les valeurs des bits de configuration dans le registre de mode du FPGA ont été choisies de telle manière que toute transition automatique soit empêchée. Le pilotage des latchs a d'abord été effectué avec remise à zéro (`raz_chn`) externe et autorisation d'évènements (`val_evt`) active de manière permanente (contrairement au fonctionnement détaillé sur la figure 2.7 lors des simulations). Afin de n'enregistrer qu'un seul évènement durant un cycle complet d'acquisition, le signal `ramFull_ext` est utilisé pour stopper ce cycle après une injection de charge.

L'ordre dans lequel les différentes phases ont été abordées est le suivant :

- D'abord la réponse de la partie analogique à l'échelon (sorties des mises en forme rapides, des discriminateurs).
- Ensuite la phase d'acquisition de l'ASIC, avec le pilotage des latchs et l'enregistrement des évènements dans sa mémoire (pour les signaux de test : sorties des latchs, déclenchement interne et mémoire pleine ; pour les statuts : acquisition en cours, acquisition arrêtée, raison de l'arrêt de l'acquisition).
- Puis la phase de lecture de la mémoire de l'ASIC (signaux de test : transmission active, données et jetons ; pour les statuts : lecture en cours, arrêtée, etc).
- Et enfin l'envoi des données à l'ordinateur de pilotage et leur écriture dans un fichier (nombre de mots dans la trame, ASICs ayant des données et dans quelles voies vis à vis des capacités de test reliées).

Deux types d'erreurs ont été observées pendant la phase d'acquisition des ASICs :

- Chacune des voies des ASICs déclenchait systématiquement dès le lancement de l'acquisition.
- Certains ASICs continuaient à déclencher en boucle jusqu'à remplir leur mémoire.

Ces problèmes ont été résolus par un ajustement des délais des signaux.

L'allongement de la longueur du signal de démarrage de l'acquisition a mis en évidence que son front descendant génère un signal en entrée de l'ASIC (voir figure 3.5). L'activation du signal d'autorisation des latchs (`valEvt`) a donc été retardée de 200 ns vis à vis du front descendant du signal de démarrage de l'acquisition, ce qui permet de masquer l'injection de charge réalisée à ce moment.

La figure 3.6 montre le fonctionnement d'un des ASICs qui déclenche en boucle jusqu'à remplir sa mémoire. Au vu des délais, la cause du problème a été imputée au signal de déclenchement interne. L'investigation de ce problème n'a pas été menée plus avant puisque l'utilisation du signal d'autorisation d'évènements le circonscrit.

Puisqu'aucune différence n'est observée au niveau de la mise en forme rapide entre les ASICs qui bouclent et ceux qui ne le font pas, il est probable que la différence de comportement peut être attribuée à la sensibilité de certains discriminateurs, imputable aux variations de leurs paramètres dûes au procédé de fabrication. Il n'a pas été montré si le support de cette interaction était l'ASIC ou le PCB.

La phase de lecture a été testée conjointement et il a été observé que le passage de jetons ainsi que l'enregistrement des données dans le FPGA se déroulent correctement. La figure 3.7 représente un cycle complet de lecture enregistré à l'oscilloscope.

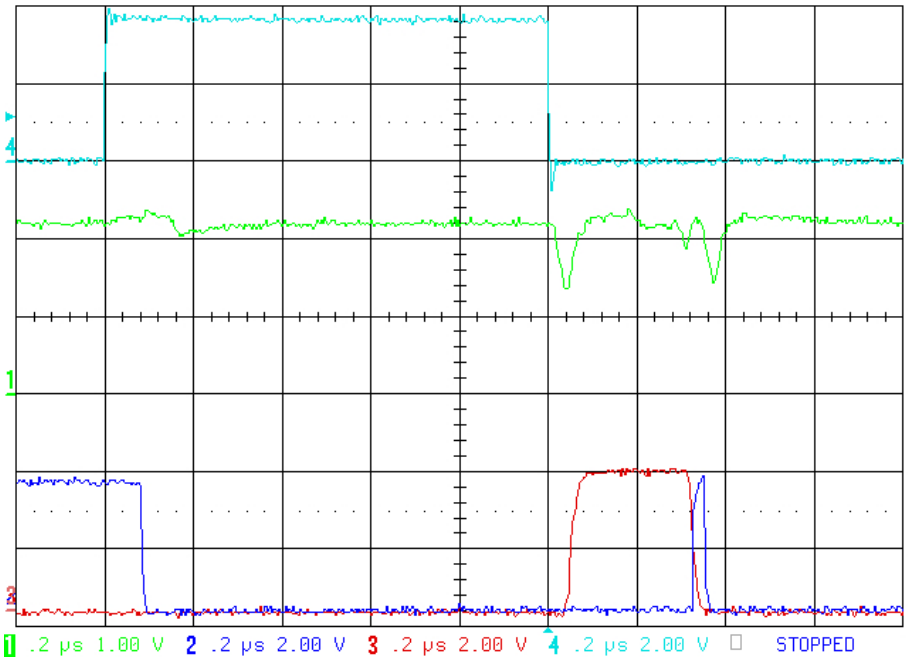


FIGURE 3.5 – *Figure à l'oscilloscope montrant l'injection de charge en entrée de l'ASIC réalisée par le front descendant du signal de démarrage de l'acquisition. En bleu clair (courbe n° 4 en haut)* `start_acquisition` *le signal de démarrage de l'acquisition, en vert (n° 1, 2e à partir du haut) la sortie d'une des mises en forme rapide de l'ASIC, en rouge et en bleu foncé (nos 3 et 2) les signaux de déclenchement et de remise à zéro du latch internes à l'ASIC.*

La procédure utilisée pour les tests a permis de mettre en évidence des problèmes de gestion de mémoire :

- une fausse trame est présente en sortie des ASICs lorsqu'ils ont eu au moins un évènement enregistré et sont lus avant que leur mémoire soit remplie (détaillé en 2.2.4.3).
- des dysfonctionnements ont lieu lorsque l'on procède à une lecture de la mémoire sans avoir effectué un cycle d'acquisition complet auparavant (démarrage de la lecture avant d'avoir arrêté l'acquisition, deux cycles de lectures concomitants sans acquisition entre les deux). Le nombre de données lues dépasse alors la taille de la mémoire de l'ASIC.

Ces problèmes ne peuvent être réglés puisque l'algorithme de lecture de l'ASIC est gravé dans le silicium. Cependant, ce comportement n'est pas gênant à partir du moment où il est connu. Les trames erronées seront mises de côté lors de l'analyse des données.

Une fois les délais ajustés, l'acquisition a fonctionné en mode automatique ouvrant la voie à des études plus poussées : réalisation des courbes de seuil des ASICs, ajustement des gains de chacune des voies pour uniformiser leur réponse, cartographie des canaux défectueux.

3.1.1.4 Discussion

Avant de traiter des études réalisées à l'aide de l'acquisition numérique, voici des remarques au sujet des délais sur les lignes de transmission de la carte.

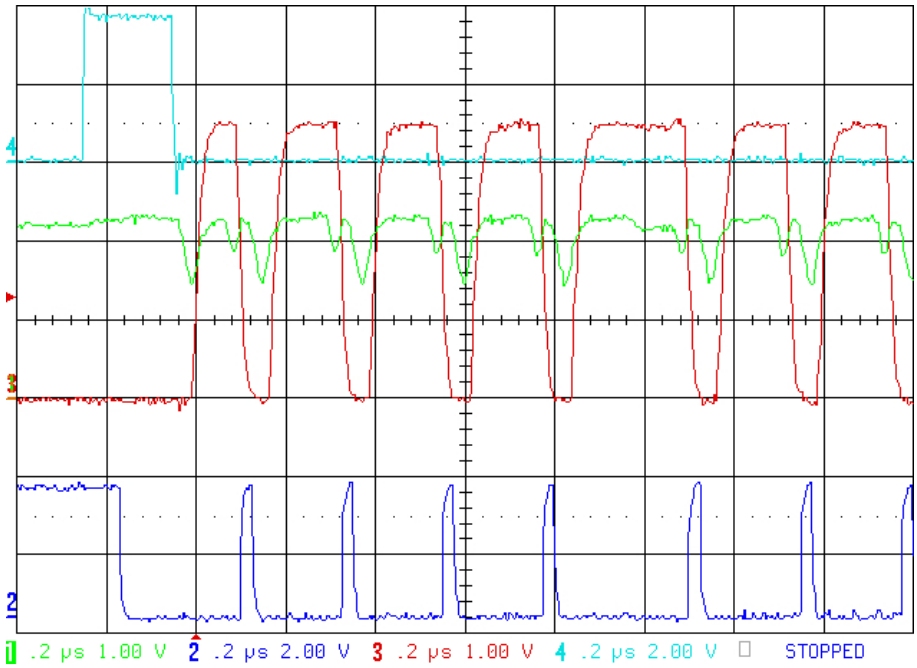


FIGURE 3.6 – *Figure à l'oscilloscope montrant le cycle de déclenchements démarré par le front descendant du signal de démarrage de l'acquisition et continué par le signal de déclenchement interne des ASICs. En bleu clair (courbe n° 4 en haut)* `start_acquisition` *le signal de démarrage de l'acquisition, en vert (n° 1, 2e à partir du haut) la sortie d'une des mises en forme rapide de l'ASIC, en en rouge et en bleu foncé (nos 3 et 2) les signaux de déclenchement et de remise à zéro du latch internes à l'ASIC.*

Les bus de type collecteur commun ont le désavantage de limiter les fréquences des signaux de communication qui peuvent y circuler. Sont concernés les signaux de lecture des ASICs comme le `transmit_on` et la sortie série `dout`. On s'accommodera sur ces lignes de fronts de signaux peu francs, les temps de propagation étant fixes.

Cependant, les études récentes ont montré que les temps de montées de ces lignes sur de longs PCB peuvent atteindre plusieurs microsecondes et que des pilotes trois états permettraient d'accroître de manière non négligeable les vitesses de communications (voir l'étude de B. Hommels en page 8 de [17] : sur un PCB de 1.2 m, les temps de montées étaient de $\sim$7 μs et de seulement quelques dizaines de ns dans le cas des pilotes trois états).

3.1.2 Courbes de seuil

Une courbe de seuil représente le nombre de déclenchements obtenus pour chaque valeur de seuil à niveau d'injection fixe. Elle permet d'évaluer l'efficacité de l'ASIC et de minimiser les variations des paramètres des canaux de l'ensemble des ASICs à l'aide des gains (intercalibration).

La courbe généralement obtenue est de type **erf**[3]. La figure 3.8 décrit la forme générale d'une courbe de seuil ainsi que ses caractéristiques principales quand on fait varier le seuil de déclenchement pour une charge injectée fixe.

Le plateau obtenu représente l'efficacité de détection du système de mesure qui doit

3. erf : fonction d'erreur (**er**ror **f**unction en anglais) avec $\mathrm{erf}(z) = \frac{1}{2\pi}\int_0^z e^{-\zeta^2} d\zeta$, aussi appelée fonction d'erreur de Gauss. Elle décrit la densité de probabilité de la loi normale.

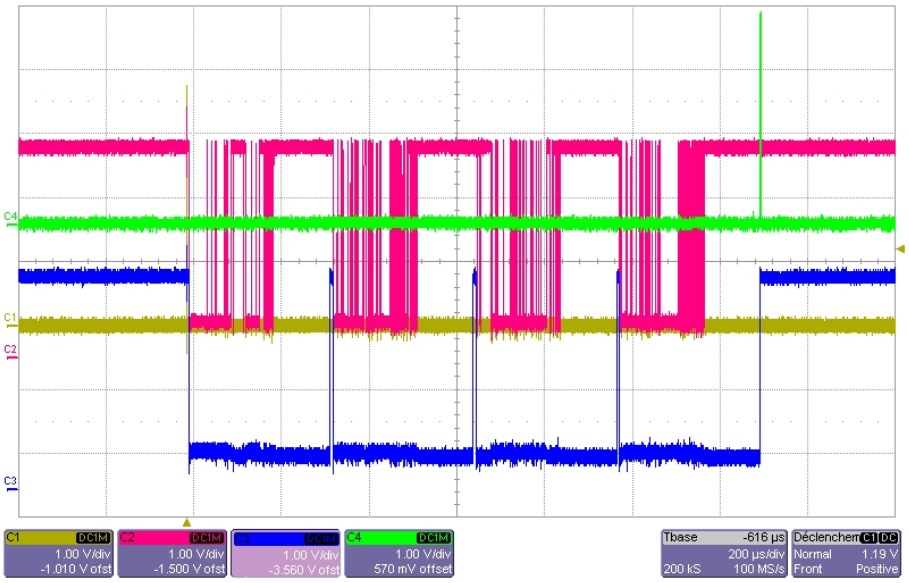


FIGURE 3.7 – *Figure à l'oscilloscope des signaux concernant la phase de lecture des ASICs de la carte DHCAL1. En jaune (courbe C1)* `start_readout` *le signal de démarrage de la lecture, en rose (C2)* `dout_n` *le bus commun de données sortant, en bleu (C3)* `transmitOn_n` *le signal de transmission active et en vert (C4)* `end_readout` *le jeton sortant du dernier ASIC indiquant la fin de la transmission. Sur cette image le niveau du signal de transmission active varie durant la lecture d'un ASIC. C'est dû à l'absence de référence basse sur le pilote de sortie des ASICs (résistance non câblée).*

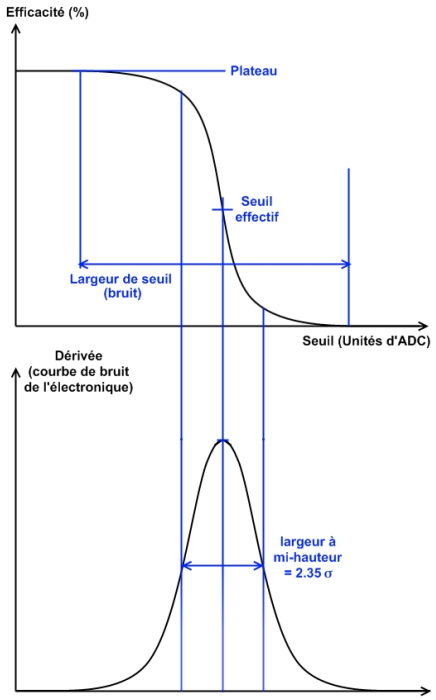


FIGURE 3.8 – *Schéma de principe de l'efficacité de déclenchement en fonction du seuil, à signal injecté constant.*

atteindre idéalement 100 %. A partir d'une certaine valeur, le système ne déclenche pratiquement plus. Plus la pente de cette transition est abrupte, plus le bruit associé au signal est petit en comparaison de l'unité de DAC de variation du seuil.

Les courbes de seuil sur la carte DHCAL1 ont été réalisées avec les capacités de test internes de 2 pF±20 % [4].

La figure 3.9 représente la courbe de seuil d'une voie (choisie au hasard) de l'ASIC HaRDROC1.

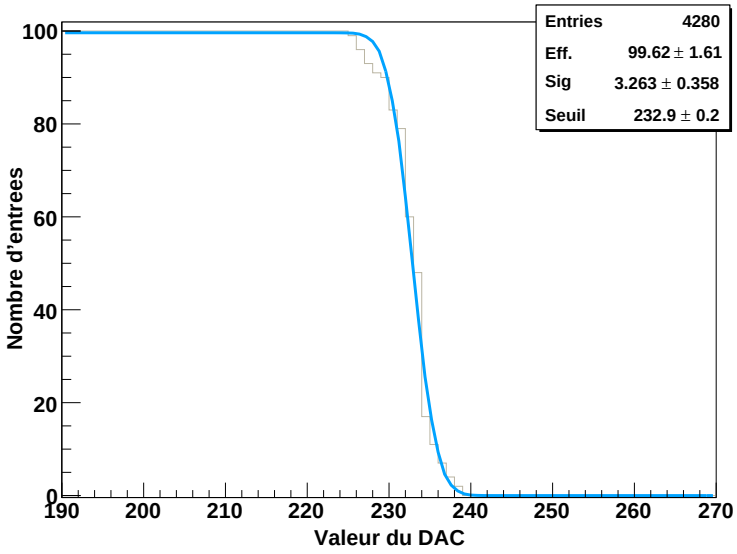


FIGURE 3.9 – *Courbe de seuil du canal numéro 23 de l'ASIC 1 (avant correction, gain unitaire).*

La figure 3.10 représente les dispersion des points d'inflexion des distributions de type **erf** ajustées sur ces courbes, avant et après intercalibration de l'électronique d'amplification. On peut voir qu'au final, l'ensemble des discriminateurs des voies calibrées contribuera à un seuil de déclenchement affecté d'un bruit σ_{seuils} de l'ordre de 3.5 Unités de DAC (UDAC). La figure 3.11 montre la distribution des largeurs des seuils σ_{bruit} des 64 canaux de l'ASIC numéro 1. La valeur moyenne de la gaussienne ajustée sur cette distribution, $\langle\sigma_{bruit}\rangle$, vaut 3.2 UDAC avec une dispersion des bruits des canaux $\sigma_{\sigma_{bruit}}$.

A partir de ces mesures de bruit et valeurs de seuil, on peut conclure concernant la performance rapportée aux détecteurs de type RPC de notre électronique. Si on cherche à obtenir une efficacité de détection sur l'ensemble des cellules traitées par un ASIC (en supposant que les performances soient identiques pour tous les ASICs), le bruit total vaut :

$$\sigma_{Tot} = \sqrt{\sigma^2_{seuils} + \langle\sigma_{bruit}\rangle^2 + \sigma^2_{\sigma_{bruit}}}$$

Le dernier étant négligeable, on trouve $\sigma_{Tot} \approx 4.75$ UDAC.

Pour obtenir par exemple une efficacité globale de 97 %, il faut placer l'ensemble des seuils à $2.2\sigma_{Tot}$ au dessus du piédestal, soit 10.45 UDAC. Le facteur de calibration de notre électronique étant de 0.35 UDAC/ fC, on obtient un seuil moyen d'environ 186 000 électrons. Ceci correspond à peu près au gain d'une paire électron/ion créée près de la cathode, le gain en régime proportionnel d'une cellule de RPC étant de ∼250 000.

4. rappel : il y a que quelques pourcents d'écart entre les valeurs de plusieurs capacités conçues à l'identique dans un même ASIC ou dans deux ASICs de la même passe de production

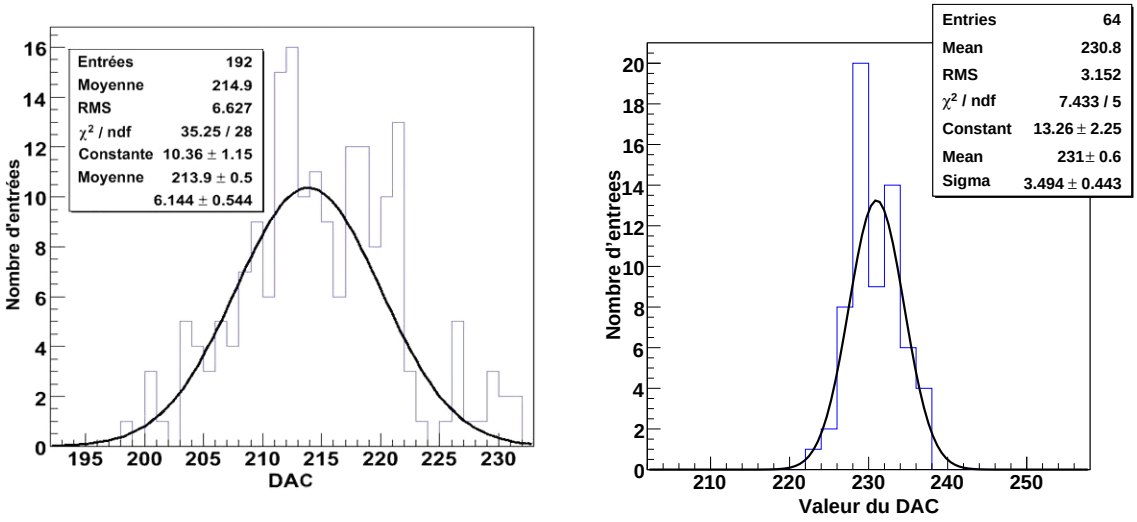


FIGURE 3.10 – *Distribution des seuils sur l'ensemble des canaux des ASICs 1, 2 et 4 avant calibration des seuils (gauche) et sur l'ASIC 1 après calibration (droite).*

Pour ce qui nous intéresse, un MIP [5] produisant environ 10 paires électron/ion (cf. 3.2.1) et les RPCs étudiées fonctionnant dans un régime proportionnel saturé (Gain $> 4.10^5$), notre électronique atteint à priori une efficacité de 100 %.

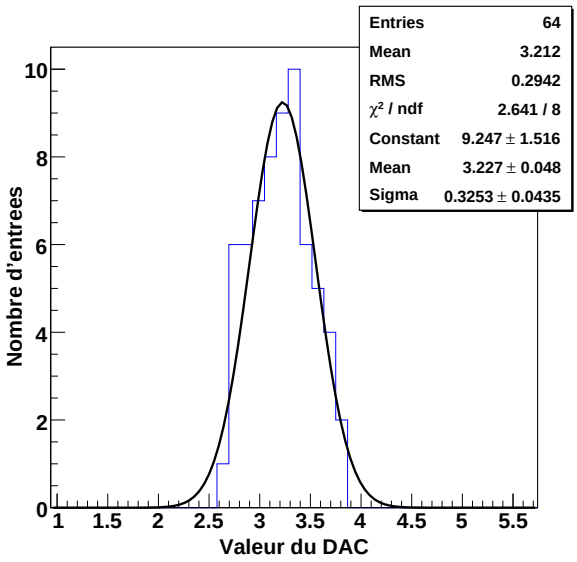


FIGURE 3.11 – *Courbe de distribution des largeurs de seuil de l'ASIC numéro 1 après calibration des gains.*

Pour les prises de données des tests discutés dans les sections 3.2 et 3.3 suivant, les deux seuils ont été fixés à 35 UDAC et 350 UDAC [6] (piédestal soustrait (155 UDAC)), le premier

5. **M**inimum **I**onising **P**article : particule au minimum d'ionisation. Particule d'énergie relativiste dont la quantité d'énergie déposée dans un matériau par unité de longueur est une constante pour un matériau donné ($2\,\mathrm{MeV}/(\,\mathrm{g}/\,\mathrm{cm}^2)$).

6. soit environ 100 fC et 1 pC

correspondant à un signal généré par une ou deux paires électron/ion dans la cellule RPC en mode proportionnel saturé.

3.1.3 Lecture analogique

L'appariement d'une lecture analogique à la carte DHCAL1 permet de vérifier la validité des choix faits lors de la calibration des ASICs ainsi que de comparer les données prises à celles de l'acquisition numérique en ce qui concerne la précision de la mesure de l'énergie, du bruit, ou même des caractéristiques du détecteur comme son efficacité ou sa multiplicité.

Deux acquisitions étaient compatibles avec la carte DHCAL1 selon la manière dont son système de lecture avait été dessiné, toutes deux initialement prévues pour la lecture des prototypes de calorimètres de première génération de CALICE : d'abord la DAQ0, réalisée par les laboratoires anglais de la collaboration et utilisée lors des tests en faisceau du prototype physique du ECAL ; mais également le système VTC [7] exploité sur le banc de test des galettes de silicium utilisées dans la réalisation des slabs de ce même prototype, situé au LLR. La première nécessitait des adaptations logicielles qui n'ont pu être effectuées à temps, il a donc été choisi d'utiliser la deuxième.

3.1.3.1 VTC : un système de lecture analogique

Présentation

Le système VTC a été conçu pour faire une démonstration rapide de la faisabilité du système de lecture analogique des cartes du ECAL du prototype physique de CALICE. Il a donc déjà été validé amplement.

Il consiste en deux cartes d'électronique :

- Une carte d'acquisition National Instruments de type PCI [8]-6071E qui contient un ADC 12 bits réels fonctionnant à 1.25 MHz, 32 voies d'entrée analogiques différentielles haute impédance et possède un certain nombre de fonctionnalités comme deux DACs 12 bits, des compteurs 24 bits et des ressources pour faire du routage de manière logicielle entre ses différentes entrées/sorties.
- La carte VTC qui possède les connecteurs VHDCI nécessaires à la connexion avec les cartes du ECAL et un CPLD [9] Xilinx de type XC95108 afin de générer d'une part, les signaux de pilotage pour le registre à décalage de multiplexage des sorties analogiques à partir des signaux fournis par la carte National Instruments, et d'autre part, les signaux de synchronisation pour la carte National Instruments à partir d'un signal de maintien externe.

Le logiciel utilisé, initialement développé en C, a été migré vers Labview, support sur lequel a été réalisée l'acquisition de données pour la voie digitale de la carte DHCAL1. De cette manière, la synchronisation des deux acquisitions est facilitée et le stockage des données peut s'effectuer de manière conjointe.

Comme le système VTC était encore utilisé pour la calibration des galettes de silicium, nous avons choisi de le dupliquer en utilisant une des cartes de rechange ainsi qu'une carte National Instrument similaire avec quatre voies d'acquisition (la carte PCI-MIO16-E1

7. **V**FE **T**iming **C**ontrol : carte de lecture des cartes frontales.

8. **P**eripheral **C**omponent **I**nterconnect : Standard de bus local d'interconnexion dans un ordinateur.

9. **C**omplex **P**rogrammable **L**ogic **D**evice : circuit logique programmable complexe, constitué de macrocellules logiques composées d'un réseau combinatoire de portes logiques simples. Des bascules y sont intégrées mais uniquement dans les blocs d'entrée/sortie. L'avantage de ces composants réside en particulier dans le fait que leur mémoire de configuration soit non volatile.

(NI6070E)). Le nombre de voies de cette carte est suffisant pour la carte DHCAL1 qui ne possède que quatre sorties analogiques, mais a nécessité des modifications matérielles de la VTC ainsi que des modifications de son microprogramme.

Adaptations

À la place du connecteur SCSI 100 pattes de la première version, la nouvelle possède un connecteur SCSI 68 pattes. Les signaux transitant par ces câbles étant similaires, hormis les signaux de données, j'ai réalisé un câble d'adaptation de 68 vers 100. La qualité des signaux transférés est néanmoins moins bonne (au vu des observations réalisées à l'oscilloscope) ce qui est du au fait que les câbles originaux sont étudiés pour la CEM [10] (ils ont des fils de différents calibres, avec entre autres des fils de masse et d'alimentation plus gros situés autour des fils supports des signaux analogiques).

Les pilotes de ligne analogiques choisis initialement ont été instanciés de la même manière que sur les cartes du ECAL. Suite à l'impossibilité de corriger l'instabilité de leur comportement, nous avons choisi d'en changer et avons opté pour des pilotes Analog Device AD8138. J'ai commencé par vérifier leur compatibilité sur une carte de test. Les signaux étaient assez bruités mais nous pensions que le rapport signal sur bruit serait amélioré en les montant sur la carte DHCAL1 où ils seraient isolés par des plans de masse et d'alimentation. Nous avons ensuite procédé à l'intégration avec le système VTC.

Mesures sur la carte DHCAL1 avec les nouveaux pilotes

Des mesures de bruit et de gain ont été réalisées sur certains canaux de chacun des ASICs. La figure 3.12 représente les histogrammes réalisés à partir des données prises lors des phases de calibration sur les canaux dont les capacités de test ne sont pas reliées. On peut donc y observer le bruit de l'ASIC et de la carte DHCAL1 en l'absence de détecteur. L'ensemble des canaux d'un ASIC est représenté dans chacune des figures et la dispersion des caractéristiques entre canaux participe à la largeur de la distribution. En ajustant des gaussiennes sur ces courbes, on trouve 4 mV de moyenne dans le premier cas, 425 mV dans les autres, avec un écart-type de 4 mV pour le premier et seulement 3 mV pour les autres. La différence dans le cas du premier ASIC est que la sortie de référence de sa mise en forme lente a été utilisée pour retirer le niveau continu des sorties des 4 ASICs avant transmission par le pilote de ligne différentiel. Cela a fait baisser son niveau continu de manière importante et a augmenté quelque peu son bruit.

La figure 3.13 représente les courbes de gain des canaux 4 et 32 des ASICs 2, 3 et 4. Les données de l'ASIC 1 n'ont pas été jointes sur ces figures car leurs caractéristiques sont assez différentes comme décrit au paragraphe précédent.

Intégration de la carte DHCAL1 avec le système VTC

La carte DHCAL1 a des interfaces LVDS pour les signaux numériques de pilotage de la DAQ analogique et la VTC des interfaces de type RS-422 [11]. Les pilotes de ligne digitaux de la VTC ont dû être remplacés par de petites cartes réalisées à base de plaques LABDEC sur lesquels ont été soudés les pilotes adéquats.

10. **C**ompatibilié **E**lectro-**M**agnétique : aptitude d'un appareil ou d'un système électrique ou électronique à fonctionner dans son environnement électromagnétique de façon satisfaisante et sans produire lui-même des perturbations électromagnétiques intolérables pour tout ce qui se trouve dans cet environnement.

11. **R**ecommended **S**tandard 422 : standard américain d'électronique différentiel formellement connu sous le nom ANSI/TIA/EIA-422-B.

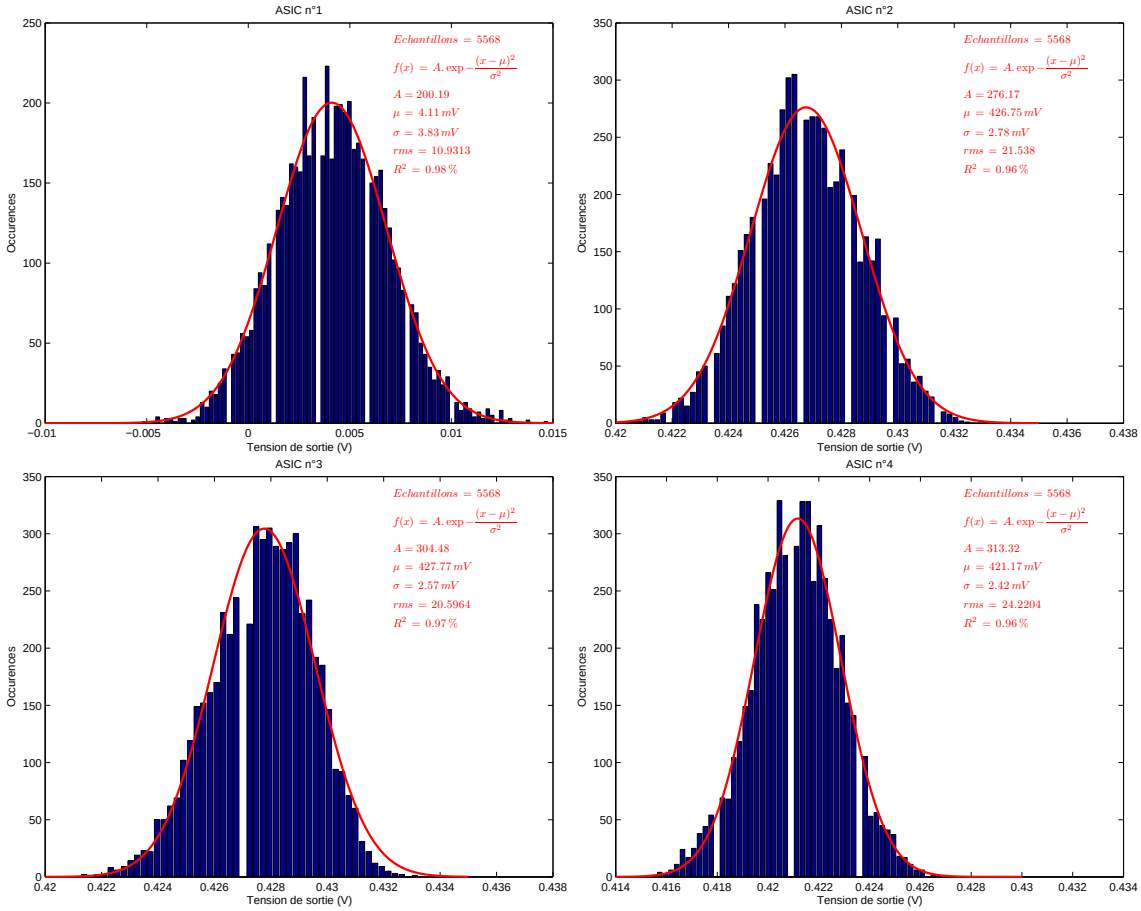


FIGURE 3.12 – *Distribution du bruit sur les ASICs de la carte DHCAL1.*

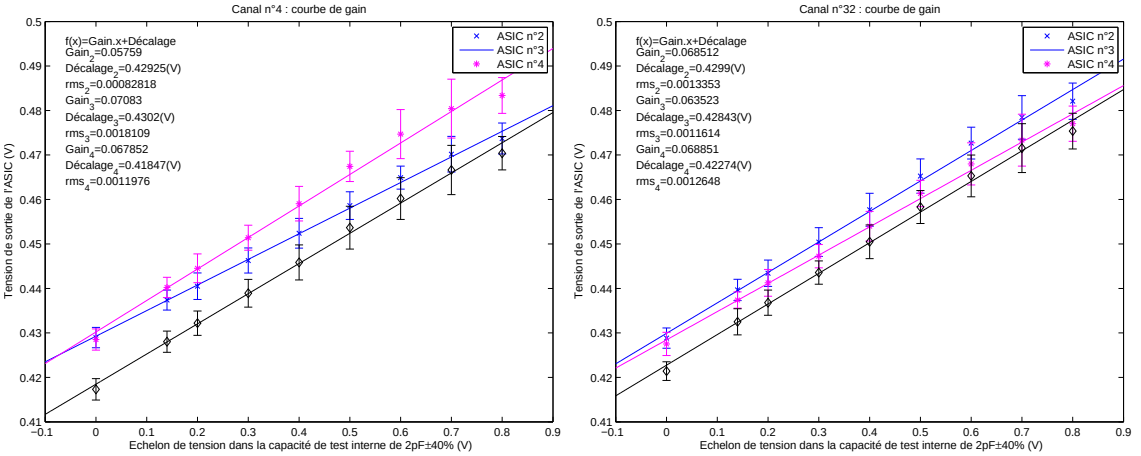


FIGURE 3.13 – *Courbes de gains des canaux 4 et 32 des ASICs 2, 3 et 4 de la carte DHCAL1 (nombre d'échantillons différent selon le point de mesure).*

Après cette modification, nous avons pu observer le fonctionnement de la lecture analogique avec le passage de jeton comme représenté sur la figure 3.14.

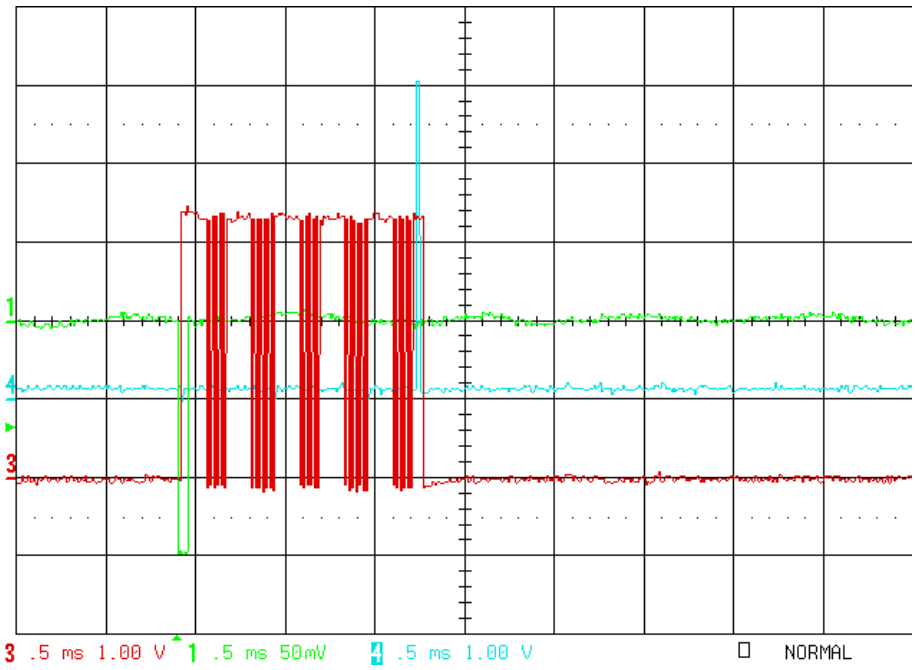


FIGURE 3.14 – *Figure à l'oscilloscope montrant un cycle de lecture réalisée avec le système VTC. En vert (voie n°1 en haut) le jeton d'entrée sur la carte DHCAL1 du registre à décalage de multiplexage des sorties analogiques, en rouge (voie n°3 en bas) son horloge et en bleu clair (voie n°4 au milieu) le jeton de sortie arrivant sur la VTC et indiquant la fin du cycle de lecture.*

Nous avons ensuite ajusté le délai du maintien externe pour qu'il corresponde au temps de pic de la mise en forme lente qui est d'environ 150 ns. La figure 3.15 montre la sortie analogique avant et après application du maintien externe.

Des modifications ont été réalisées sur le microprogramme de la VTC par son auteur F. GASTALDI, d'abord pour adapter le nombre de canaux à lire (32 dans le cas du ECAL et 64 dans le cas du DHCAL), mais aussi pour corriger des problèmes propres à la carte DHCAL1.

- L'OTA de sortie du HaRDROC1 a son entrée en haute impédance et sa tension de sortie dérive lentement jusqu'à rejoindre celle de l'alimentation lorsqu'aucune voie n'est sélectionnée. Le système de pilotage de la lecture a donc été modifié en conséquence pour qu'une voie y soit toujours connectée.
- Le nombre de données échantillonnées par la VTC n'était pas correct, ce qui était du à la transmission bruitée des signaux de déclenchement sur le câble entre la VTC et la carte National Instruments. Nous avons pallié à ce problème en changeant leur rapport cyclique.

La vitesse obtenue pour la lecture analogique de 4 ASICs en parallèle est de 1.25 MHz/4 = 312.5 kHz.

La figure 3.16 montre l'interface développée (en collaboration avec S. CHOLLET) sous Labview pour piloter la VTC et stocker conjointement ses données avec celles d'une carte DHCAL1.

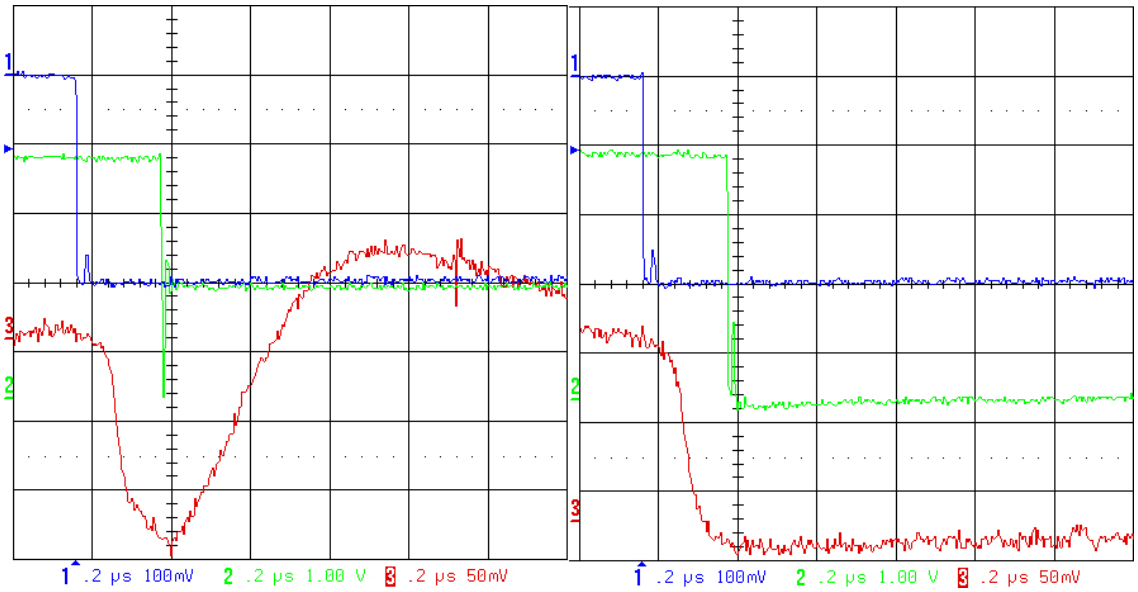


FIGURE 3.15 – *Figure à l'oscilloscope montrant la sortie analogique du HaRDROC1 avant et après application du signal de maintien externe provenant de la VTC. En bleu foncé (voie n°1) l'échelon en tension pour l'injection de charges en entrée de l'ASIC, en rouge (voie n°3) la sortie de la mise en forme lente et en vert (voie n°2) le signal de maintien externe.*

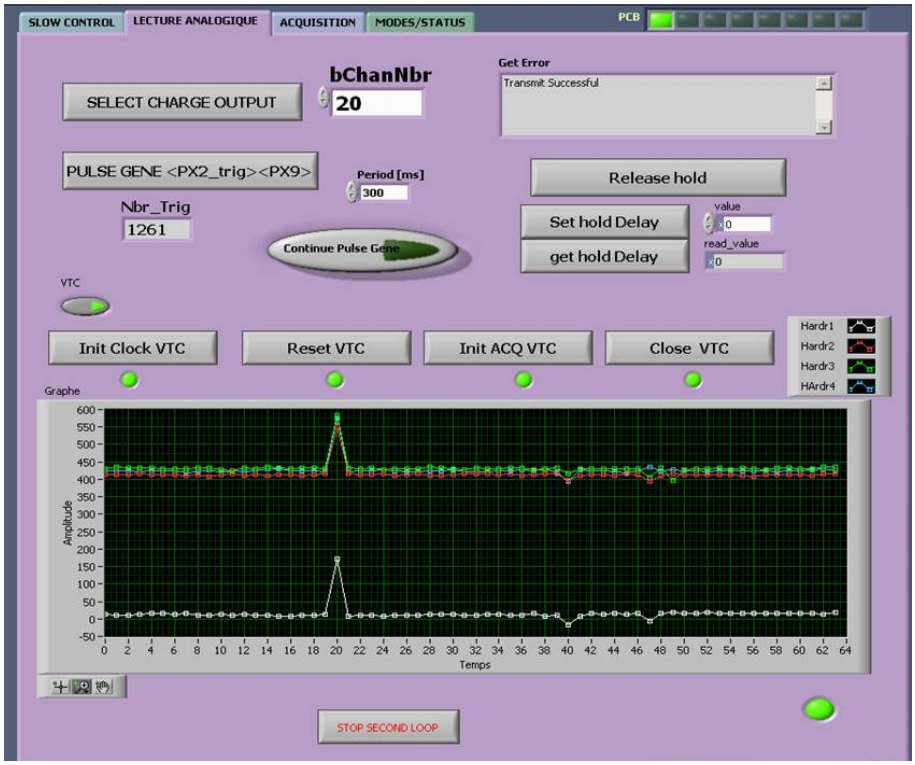


FIGURE 3.16 – *Vue d'une prise de données effectuée avec l'interface Labview développée pour la VTC.*

Mesures sur le système complet VTC + DHCAL1

Des variations de niveau continu importantes apparaissaient à l'oeil nu sur l'interface Labview pour la lecture analogique. Nous avons donc observé celle ci à l'oscilloscope. La figure 3.17 montre la sortie analogique du HaRDROC1 avant et après démarrage de la lecture analogique par la VTC. Un signal lent y est apparent qui, couplé au signal de

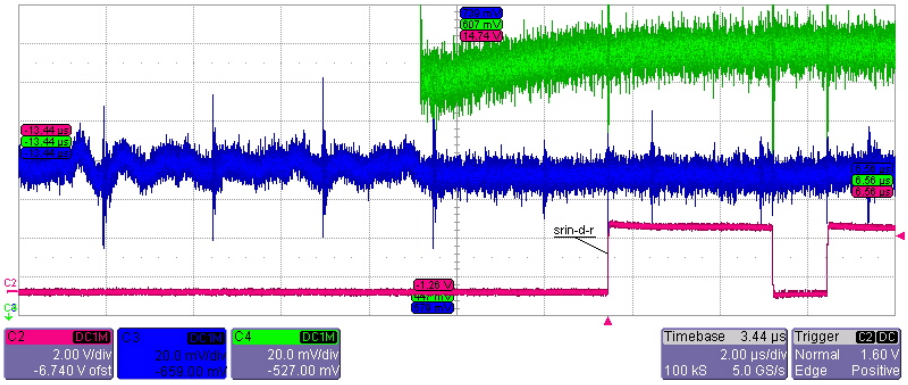


FIGURE 3.17 – *Figure à l'oscilloscope montrant la sortie analogique de l'ASIC avant et après le démarrage de la lecture analogique réalisée avec le système VTC. En bleu (au centre) la sortie analogique, en rouge (en bas) l'horloge de la VTC et en vert (en haut) le signal de maintien.*

maintien donne une dispersion sur la valeur continue mesurée, et ce de manière corrélée pour l'ensemble des canaux d'un ASIC, ce qui explique le phénomène observé à l'écran. Nous n'avons pas pu trouvé d'explication tangible à cela. Cependant, il est possible de s'en accommoder lors de l'analyse des données en prenant par exemple une voie sans signal pour ôter aux autres la valeur du décalage. L'uniformité observée est alors bien meilleure.

Des pics de tension très réguliers apparaissent également. Leur fréquence (300 kHz) montre que l'alimentation à découpage utilisée pour la partie numérique en est la cause.

Afin de caractériser la chaîne entière d'acquisition, un ensemble de mesures a été réalisé sous Labview. Pour passer la limite imposée par les diodes de protection de l'ASIC, un décalage en niveau continu a été ajouté à l'échelon d'injection, ce qui a permis de prendre des mesures sur l'ensemble de la dynamique d'entrée.

La figure 3.18 montre les courbes de gains réalisés à partir de ces données. On constate sur ces figures que la valeur des gains est moins dispersée que dans les mesure réalisées en 3.1.3.1 (figure 3.13) . Celles ci ont été faussées en bout de dynamique par la non-linéarité des diodes de protection. Le gain mesuré a donc une valeur résultante de $65.10^{-3} \pm 5.10^{-3}$ soit $32 \pm 5\,\mathrm{mV/\,pC}$. A noter que les valeurs rms sur les courbes sont données vis à vis de l'ajustement par rapport aux moyennes.

Le dispositif de mesure est ainsi entièrement caractérisé. Sa résolution est donnée par la formule suivante :

$$Resolution = \frac{Dynamique}{Bruit}$$

En prenant une dynamique de 0 à 3 pC, soit $\approx 100\,\mathrm{mV}$ en sortie, on trouve une valeur de 33 soit 5 bits ($\sigma \approx 3\,\mathrm{mV}$). Cette valeur est faible, ce qui s'explique par l'intensité du bruit. Ramené en entrée, il est équivalent à une charge de $\approx 100\,\mathrm{fC}$, ce qui est dix fois plus élevé que la valeur minimum qu'on souhaite mesurer qui est de 10 fC. En général, un système d'acquisition est dimensionné pour que la valeur minimum soit au moins à 3σ du piédestal.

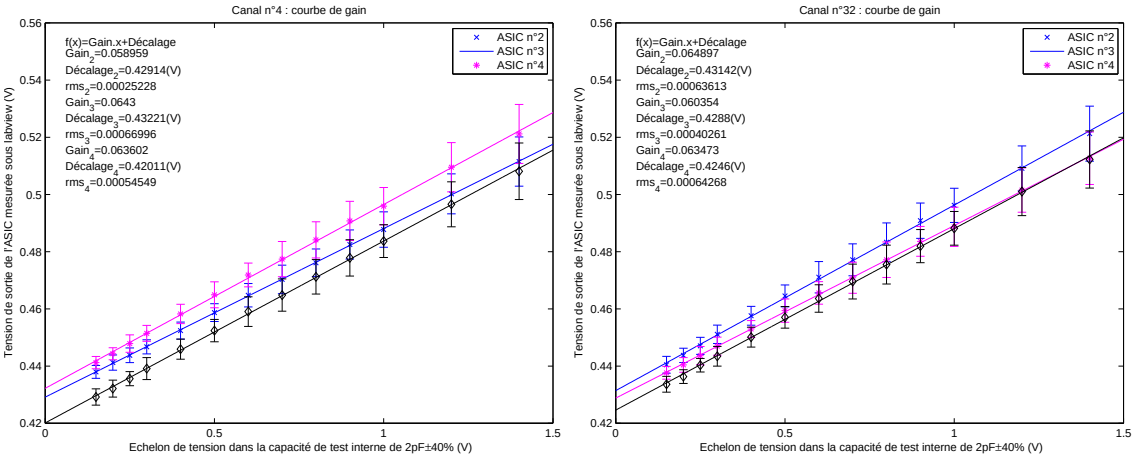


FIGURE 3.18 – *Courbes de gains des canaux 4 et 32 des ASICs 2, 3 et 4 de la carte DHCAL1 réalisées à partir des données prises par le système VTC. 20 échantillons sont pris pour chacun des points de mesure. Un échelon d'1V dans la capacité de test interne correspond à l'injection d'une charge de 2* pC.

Cependant, il a été jugé que cela serait suffisant pour réaliser la courbe de dispersion en énergie des détecteurs à l'étude.

3.1.4 Conclusion

Les tests sur table de la carte DHCAL1 ont permis de vérifier qu'elle était fonctionnelle pour des tests grandeur nature avec des détecteurs RPC.

L'adaptation d'une acquisition dite « analogique », utile pour vérifier les performances de la digitale, a été validée. Elle a été utilisée lors de tests avec des cosmiques et en faisceau.

3.2 Tests avec des cosmiques

On appelle « banc de tests cosmiques » une installation dédiée à l'enregistrement de signaux d'origine cosmiques avec un détecteur. Les rayonnements cosmiques désignent de manière générale les particules de haute énergie circulant dans l'univers, mais ceux qui nous parviennent résultent le plus souvent des gerbes électromagnétiques crées par l'interaction de particules cosmiques primaires avec l'atmosphère. Leur flux à la surface terrestre est d'en moyenne une particule par décimètre carré, par seconde et par stéradian. Comme ils sont peu fréquents, ils permettent d'étudier un détecteur sans contraintes de délais de fonctionnement ou de temps de recharge comme dans le cas d'une RPC. Les particules observées sont des MIPs, le plus souvent des muons, sinon des électrons ou quelques pions. Comme les muons interagissent peu avec la matière, il n'y a pas d'intérêt dans ce contexte de recourir à un absorbeur.

3.2.1 Quelques considérations sur les RPC

L'acquisition analogique a été utilisée lors de ces tests dans un premier temps pour avoir la distribution en énergie des signaux cosmiques.

L'analyse des phénomènes physiques impliqués permet d'évaluer certaines caractéristiques de la distribution en charge attendue.

Une particule chargée (à l'exception de l'électron) d'énergie relativiste dépose en moyenne lors de son passage dans un matériau de densité donnée une quantité d'énergie liée à son impulsion (moment) par la formule de Bethe-Bloch [22]. La figure 3.19 montre de manière générale l'énergie déposée par un muon dans le cuivre en fonction de son moment ; En figure 3.20 [5] sont représentés les pouvoirs stoppants de différents matériaux. Dans la

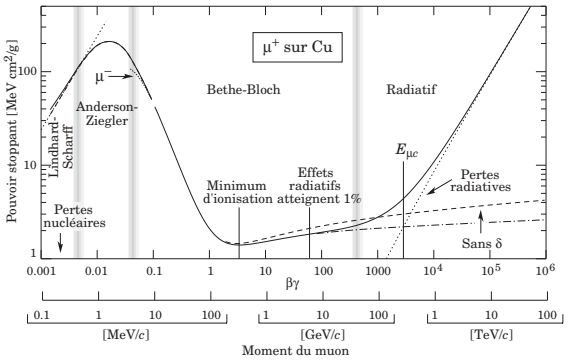


FIGURE 3.19 – *Taux de perte d'énergie moyen des muons dans le cuivre en fonction de $\beta\gamma$=(pc)/(Mc^2). La formule de Bethe-Bloch s'applique pour $\beta\gamma \geq 0.1$. Pour le muon, Mc^2=105.66 MeV. Au delà de l'énergie critique $E_{\mu c}$, la perte d'énergie par rayonnement de freinage prend le dessus sur l'ionisation. D'après [5].*

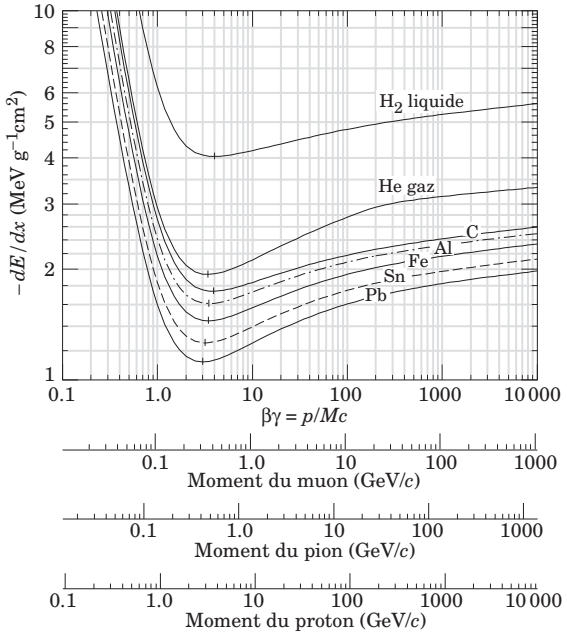


FIGURE 3.20 – *Taux de perte d'énergie moyen dans l'hydrogène liquide, l'hélium gazeux, le carbone, l'aluminium, le fer, l'étain et le plomb. Les effets radiatifs, pertinents dans le cas des pions ou des muons, ne sont pas inclus. Pour un muon dans du fer, ils deviennent significatifs pour $\beta\gamma \geq 1000$. D'après [5].*

figure 3.19, l'équation de Bethe-Bloch s'applique pour les moments où le muon peut être considéré comme une particule relativiste ($0.1 \leq \beta\gamma = p/(Mc) \leq E_{\mu c}$). Il existe un minimum pour la valeur moyenne de dépôt d'énergie appelé minimum d'ionisation.

La distribution de Landau représente la fluctuation de la perte d'énergie d'une particule relativiste chargée dans un matériau fin d'épaisseur et de densité donnée : $\Phi(s) = \frac{1}{2\pi t}\int_{c+\imath\infty}^{c-\imath\infty} e^{x\ln x + sx} dx$. La figure 3.21 [5]

La GRPC est utilisée en mode avalanche saturé, sous une pression d'une atmosphère (espacement de 1.2 mm entre ses plaques de verre, haute tension de 7.4 kV soit un champ E_{gap} d'environ 62 kV/ cm, utilisation de tétrafluoréthane ($C_2H_2F_4$, TFE) pour ses propriétés de longueur moyenne d'ionisation, d'isobutane (iC_4H_{10}, IB) pour améliorer la recombinaison et de SF_6 pour éviter les faux déclenchements).

L'énergie déposée par un MIP est de 2 MeV/(g/ cm^2). La densité du mélange TFE(93 %)/IB(5 %)/SF_6(2 %), ρ_{gaz}, est d'environ 5.27 mg/ cm^3. Une particule qui traverse le détecteur perpendiculairement à ses plaques parcoure une distance dans le gaz d_{gap} de

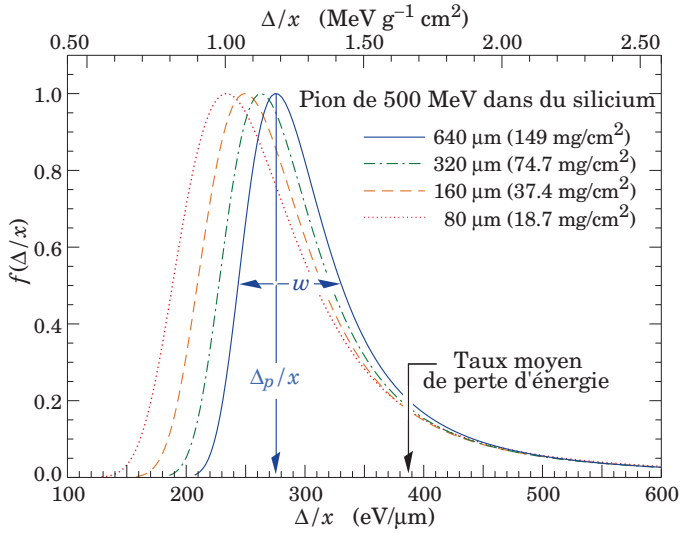


FIGURE 3.21 – *Courbes de dispersion de l'énergie déposée dans différentes épaisseurs de silicium par des pions de 500* MeV*, normalisées à la valeur la plus probable* Δ_p/x*. D'après [5].*

1.2 mm et dépose donc une énergie moyenne E_{dep} tel que :

$$\begin{aligned} E_{dep} &= 2\,\text{MeV} \times \rho_{gaz} \times d_{gap} \\ &= 2.10^6 \times 5.27.10^{-3} \times 0.12 \\ &= 1264\,\text{eV}. \end{aligned}$$

L'énergie nécessaire à la création d'une paire électron/ion, appelée W, est déterminée expérimentalement selon le gaz, le type de particule incidente et son énergie (peu différente selon le type de particule). Dans le cas du mélange utilisé, elle est d'environ 130 eV. Cette particule relativiste génère alors $n_0 = E_{min}/W \approx 10$ électrons.

Chacun de ces n_0 électrons sera ensuite entraîné par le champ électrique E_{gap} dans lequel, son énergie cinétique croîtra jusqu'à atteindre en moyenne l'énergie W nécessaire à la formation d'une nouvelle paire électron/ion. Les deux électrons auront par le suite le même comportement, c'est le phénomène d'avalanche. La quantité W est dépendante du chemin parcouru par l'électron et des collisions qui surviennent car, certains électrons cèdent de l'énergie à des atomes sans leur arracher d'électrons, en les laissant dans un état excité, ou bien se recombinent avec des ions. Un électron atteindra l'énergie W en moyenne au bout d'une distance λ, appelée « libre parcours moyen ». Dans le mélange considéré, cette distance est [1] de $\frac{1}{8}$ mm.

Au final, la quantité de charge minimum que l'on s'attend à observer pour un MIP est de l'ordre de 100 fC, soit 625 000 électrons.

La probabilité pour un électron de générer une amplitude donnée par rapport à l'amplitude moyenne à une distance fixe de la cathode est représentée [22] par une distribution de Polya.

Cependant, la valeur de cette amplitude moyenne est telle que le ou les quelques premiers électrons parmi les n_0 sont responsables de la quasi-totalité du signal mesuré [1] sur l'anode du détecteur, ce qui fait que la RPC est un détecteur naturel pour la réalisation d'un DHCAL. Mais les fluctuations attendues sur le nombre n_0 sont importantes. Il est donc difficile de donner une forme générique du dépôt de charge attendu.

La figure 3.22 montre le type de résultat attendu. Elle est obtenue pour un détecteur

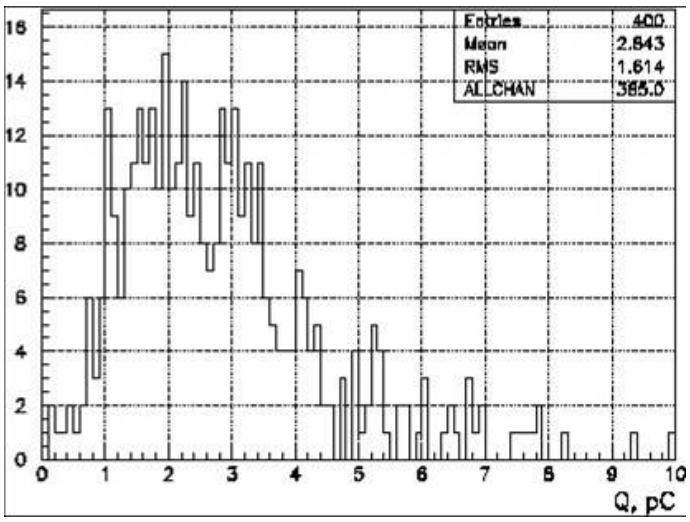


FIGURE 3.22 – *Courbe de distribution de la réponse en charge à des particules au minimum ionisant d'une GRPC soumise à une différence de potentiel de 8.4* kV *pour un seuil de l'électronique de lecture de 2.2* mV*. La moyenne de la distribution est de 2.8* pC *et sa moyenne quadratique de 1.6* pC*.*

similaire auquel est appliqué une haute tension V_{gap} de 8.4 kV, et dont l'électronique de lecture a un seuil fixé à 2.2 mV. Cette figure montre que la valeur de la dynamique choisie pour le HaRDROC1 (10 fC à 10 pC) est cohérente avec cette mesure. Cependant, le régime de fonctionnement dans cette figure n'est pas le même puisque la valeur de la haute tension appliquée correspond plutôt au mode saturé. Les valeurs que nous attendont seront plus faibles, impliquant un décalage de cette courbe vers des valeurs de charge plus basses.

Rappelons (3.1.2) que les deux seuils de notre électronique correspondent respectivement à 100 fC et 1 pC.

3.2.2 Description de l'environnement de test et besoins en développements

Le banc de test est situé à l'IPNL, qui possédait déjà les équipements de fourniture de gaz nécessaires au fonctionnement des détecteurs à l'étude. L'ensemble des tests réalisés auparavant ne comportaient que l'électronique et ce banc de test est l'occasion de réaliser le premier contact — très attendu — entre cette électronique et les détecteurs en question.

Il n'y a pas, dans les phénomènes cosmiques, de cycle qui permette de synchroniser l'acquisition. Elle fonctionne donc avec une horloge locale fournie par un quartz et un signal de déclenchement externe. L'utilisation de ce déclenchement externe est nécessaire pour le fonctionnement en parallèle des acquisitions digitale et analogique. Une manière simple de générer un signal de déclenchement est de mettre des scintillateurs en coïncidence. Ils sont lus avec des PMs [12] dont les signaux sont discriminés puis connectés à une logique de coïncidence. Cela permet de choisir l'angle solide à travers lequel des particules sont acceptées afin par exemple de limiter la fréquence des évènements ou de n'enregistrer que ceux passant à travers l'ensemble des cartes. Le délai du signal de déclenchement est

12. **P**hoto**M**ultiplier : Photomultiplicateur.

ensuite ajusté à l'aide de générateurs de fenêtres dont le délai avant le front initial et la durée d'impulsion sont réglables.

Le HaRDROC1 possède une entrée de déclenchement externe, mais celle ci ne permet pas – contrairement à son nom – d'échantillonner le signal au moment de l'évènement. En effet, un déclenchement externe aurait, comme pour l'acquisition analogique, de l'ordre de 150 ns de retard alors que les sorties digitales sont prévues pour être rapides (∼80 ns). Comme la sortie des latchs ne serait pas verrouillée entre l'arrivée du signal et le déclenchement externe, il enregistrerait la somme des effets qui se seraient déroulés pendant cette période. Le parti a donc été pris de faire fonctionner l'ASIC en déclenchement interne. La logique de synchronisation est reportée dans le FPGA. Lorsque celui ci reçoit le signal de déclenchement, la phase d'acquisition de l'ASIC est arrêtée, les latchs figés et la mémoire de l'ASIC lue puis stockée, conjointement avec un compteur 32 bits 40 MHz qui mesure le temps entre le dernier déclenchement interne d'une carte et le déclenchement externe.

Le temps entre l'occurrence d'un évènement et l'arrivée des déclenchements correspondants est connu :

$$\begin{array}{rcccccc} \tau(\text{interne}) & = & \tau(\text{montée RPC}) & + & \tau(\text{réponse ASIC}) & + & \tau(\text{double-clockage}) \\ & = & [20-40]\text{ ns} & + & [80-90]\text{ ns} & + & [25-50]\text{ ns} \\ & = & [125-180]\text{ ns} & & & & \end{array}$$

$$\begin{array}{rcccc} \tau(\text{externe}) & = & \tau(\text{discriminateur + coïncidence + câbles}) & + & \tau(\text{double-clockage}) \\ & = & 150\text{ ns} & + & [25-50]\text{ ns} \\ & = & [175-200]\text{ ns} & & \end{array}$$

Le compteur différentiel prend donc des valeurs entre 0 et 75 ns (3 périodes d'horloge 40 MHz) dans le cas où des données correspondant à l'évènement en cours ont été enregistrées. Le repérage de l'évènement le plus récent dans la mémoire des ASICs permet ensuite à l'aide de son estampillage de remettre en forme l'historique des données de la carte. Une incertitude supplémentaire de 200 ns est à prendre en compte d'une donnée à l'autre du fait que l'ASIC échantillonne à 5 MHz.

Cette manière de fonctionner permet de tester le déclenchement interne de l'ASIC.

Efficacités et multiplicités

L'efficacité de l'acquisition désigne le pourcentage d'évènements enregistrés par rapport au nombre total d'évènements. L'acquisition n'enregistre pas d'évènements pendant ses temps morts : le temps de lecture des ASICs, le temps de lecture d'une carte par l'USB. Pour mesurer cette grandeur, deux compteurs de déclenchements sont utilisés, l'un actif en permanence et l'autre uniquement pendant que les ASICs sont en phase d'acquisition. La différence entre les deux à un instant donné représente le nombre de déclenchements externes qui n'ont pas pu être traités.

L'efficacité du détecteur désigne quant à elle le pourcentage d'évènements pour lesquels le détecteur fournit un signal par rapport au nombre total d'évènements. Le détecteur est insensible à certains stimuli, entre autres du fait de la probabilité qu'une particule ionise le gaz assez près de la cathode pour donner un signal détectable, mais aussi de ses zones se rechargeant suite à des déclenchements passés. Son efficacité est évaluée en comptant le nombre de déclenchements externes sans données correspondantes dans la mémoire de l'ASIC.

La multiplicité du détecteur représente le nombre moyen de cellules touchées par plan de détection lors du passage d'une particule. La taille de l'avalanche réalisée a une projection

sur la plaque résistive de l'ordre du mm^2 (de 1 à 2 selon l'énergie de la particule et l'angle d'incidence). Il est nécessaire que ce chiffre soit le plus petit possible pour donner un maximum de précision à la mesure des traces des particules.

La coïncidence entre les scintillateurs est faite de telle manière que les particules occasionnant un déclenchement génèrent une trace dans l'ensemble des chambres. Pour procéder correctement à la mesure de l'efficacité et de la multiplicité du détecteur, il faudrait normalement n'utiliser que les traces reconstruites. L'efficacité vaut alors pour un plan de détection donné le rapport entre le nombre de traces qui ont laissé un signal et le nombre total de déclenchements. La multiplicité d'un plan de détection est le rapport entre le nombre total de cellules touchées par des traces et le nombre des déclenchements auxquels sont associé au moins un signal pour ce plan (un déclenchement qui ne laisse par de signal ne doit pas être pris en compte dans le calcul de la multiplicité). Pour commencer, une valeur approchée de la multiplicité sera calculée en divisant le nombre total de cellules touchées par le nombre de déclenchements. Cette valeur sera mise à jour une fois la reconstruction des traces réalisées.

3.2.3 Réalisations

3.2.3.1 Modifications du microprogramme et du logiciel

Les modifications du microprogramme liées au compteur différentiel et aux compteurs de déclenchements ont été simulées et validées sur table avant de procéder à la prise de données. Le compteur différentiel a été ajouté en début de trame, ainsi que les compteurs de déclenchement pendant et hors de la phase d'acquisition des ASICs.

Une fois la carte montée sur le détecteur, plusieurs sources de bruit viennent perturber le bon déroulement de l'acquisition : le bruit sur la carte elle même, en partie imputable à l'alimentation à découpage (cf. 3.1.3.1 P 85), mais aussi le bruit sur l'alimentation du détecteur. Le détecteur, sensible à ces bruits, déclenche régulièrement et le comme le taux de rayons cosmiques est bas, les ASICs remplissent parfois leurs mémoires avant l'arrivée du déclenchement externe auquel ils sont alors aveugles.

Lorsque la mémoire d'un ASIC est pleine, la lecture est effectuée et l'acquisition relancée. Cependant, les données lues contenant exclusivement du bruit, il a été choisi de ne pas les lire en remettant les ASIC directement à zéro de façon à diminuer le temps où l'acquisition est arrêtée.

Cette remise à zéro a d'abord été effectuée à partir du logiciel de pilotage. Les efficacités conjuguées du détecteur et de l'acquisition mesurées étaient alors faibles (au plus bas à 50 %). La cause en a été attribuée au temps d'accès USB pour la commande de remise à zéro, très largement supérieur à celui prédit par la notice (jusqu'à 16 ms pour l'envoi d'une commande d'un octet contre 1 ms au maximum normalement avec les paramètres choisis). Cela a été résolu en effectuant la remise à zéro depuis le FPGA, mais les délais de réactivité de l'acquisition ont été remis en question. L'acquisition de type single slab DAQ était utilisée puisqu'elle était supposée suffisamment rapide pour les besoins des tests avec des cosmiques. Les accès USB ont alors été réduits au strict nécessaire (démarrage de l'acquisition, contrôle du statut, idem pour la lecture des ASICs, puis rapatriement des données vers l'ordinateur). L'efficacité de l'acquisition est alors passée à 95 %.

Les mesures d'injection réalisées au moment du branchement de l'acquisition analogique ont montré un problème clair de diaphonie : quand le signal injecté sur une voie est assez fort, certaines autres voies du même ASIC montrent un signal négatif proportionnel et les effets s'ajoutent. L'influence plus prononcée de certaines voies sur une voie donnée montrent

l'effet de la géométrie sur le phénomène. Le câble est probablement en partie responsable mais il se peut que l'ASIC ou le PCB le soient aussi. Les investigations n'ont pas été poussées plus loin pour le moment par manque de temps, mais elles le seront certainement à l'avenir si cette acquisition devait continuer à être utilisée. Un test simple serait de se servir de la carte National Instruments avec laquelle la VTC est prévue pour fonctionner, ce qui permettrait d'utiliser le câble qui y est associé.

3.2.3.2 Résultats

La figure 3.23 montre une vue du banc de test cosmiques. Trois cartes DHCAL1 (5 par la suite) ont été montées ensemble dans une structure mécanique réalisée à l'occasion, et trois scintillateurs lus par des PM sont situés de part et d'autre des cartes pour générer le signal de déclenchement par coïncidence.

FIGURE 3.23 – *Vue de l'installation réalisée pour les tests avec des cosmiques. On voit au milieu des cartes un des scintillateurs utilisés pour réaliser le déclenchement de la prise de données.*

Le contrôle de la différence entre les compteurs de déclenchements pendant et hors acquisition aux moments où la mémoire de l'ASIC est remise à zéro, a montré que les temps d'accès USB sont la cause de l'inefficacité de l'acquisition. Une fois les modifications du microprogramme effectuées, l'efficacité de l'acquisition a atteint plus de 95 %, ce qui a été estimé suffisant pour la prise de données cosmiques. Il a cependant été jugé nécessaire de réfléchir aux moyens d'optimiser ses temps morts pour la prochaine prise de données en faisceau.

La mesure du nombre de déclenchements internes de l'ASIC situés dans une fenêtre de temps raisonnable par rapport au déclenchement externe a permis de calculer l'efficacité du

détecteur en fonction de la haute tension (figure 3.24). Elle atteint des valeurs supérieures à

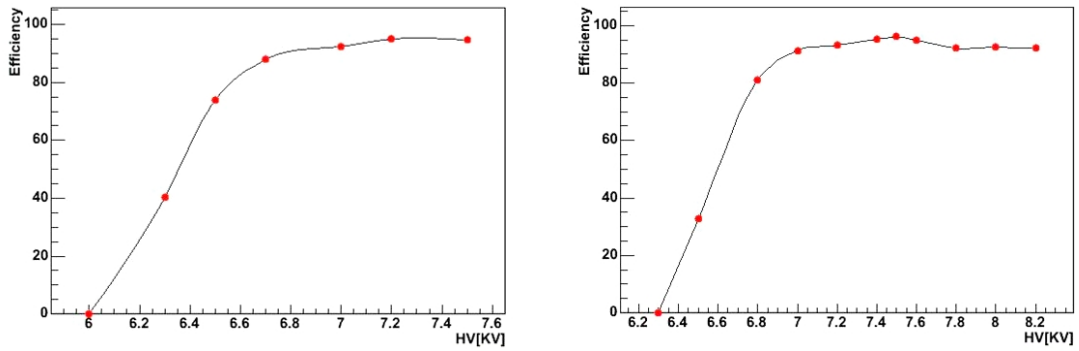


FIGURE 3.24 – *Courbes représentant l'efficacité d'une GRPC en fonction de la haute tension, comparée selon le type de contact pour la haute tension (graphite à gauche et lycron à droite).*

90 % lorsque la haute tension dépasse ∼6 kV, ce qui correspond bien aux mesures réalisées précédemment sur ce type de détecteur. Deux types de peintures résistives ont été utilisés pour la distribution de la haute tension : la feuille de graphite utilisée traditionnellement ainsi que du lycron, un polymère de très haute résistivité (quelques MΩ/□). Les résultats montrent une meilleure efficacité dans le cas du lycron (95 %) que dans le cas du graphite (90 %), ce qui est lié à la différence de résistivité entre les deux types de supports.

Les valeurs de multiplicité mesurées sont représentées sur la figure 3.25. A la tension

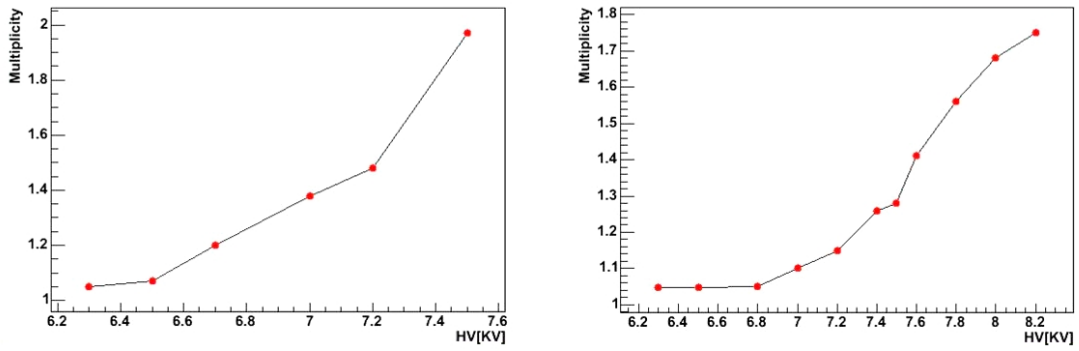


FIGURE 3.25 – *Courbes représentant la multiplicité d'une GRPC en fonction de la haute tension, comparée selon le type de contact pour la haute tension (graphite à gauche et lycron à droite).*

nominale de 7.4 kV, on trouve 1.8. Par contre, le lycron, pour la même valeur de haute tension, montre une multiplicité d'environ 1.3, ce qui est bien meilleur. Cela s'explique par le diamètre de la projection des avalanches sur l'anode, plus faible dans le cas d'un matériau de distribution plus résistif.

Les schémas 3.26 et 3.27 montrent le passage de particules à travers plusieurs plans du détecteurs. Ils mettent en évidence qu'il est possible de reconstruire leur trace. Les analyses et la reconstruction sont en cours et devraient permettre très bientôt d'améliorer la précision des résultats, comme celle de la valeur de la multiplicité.

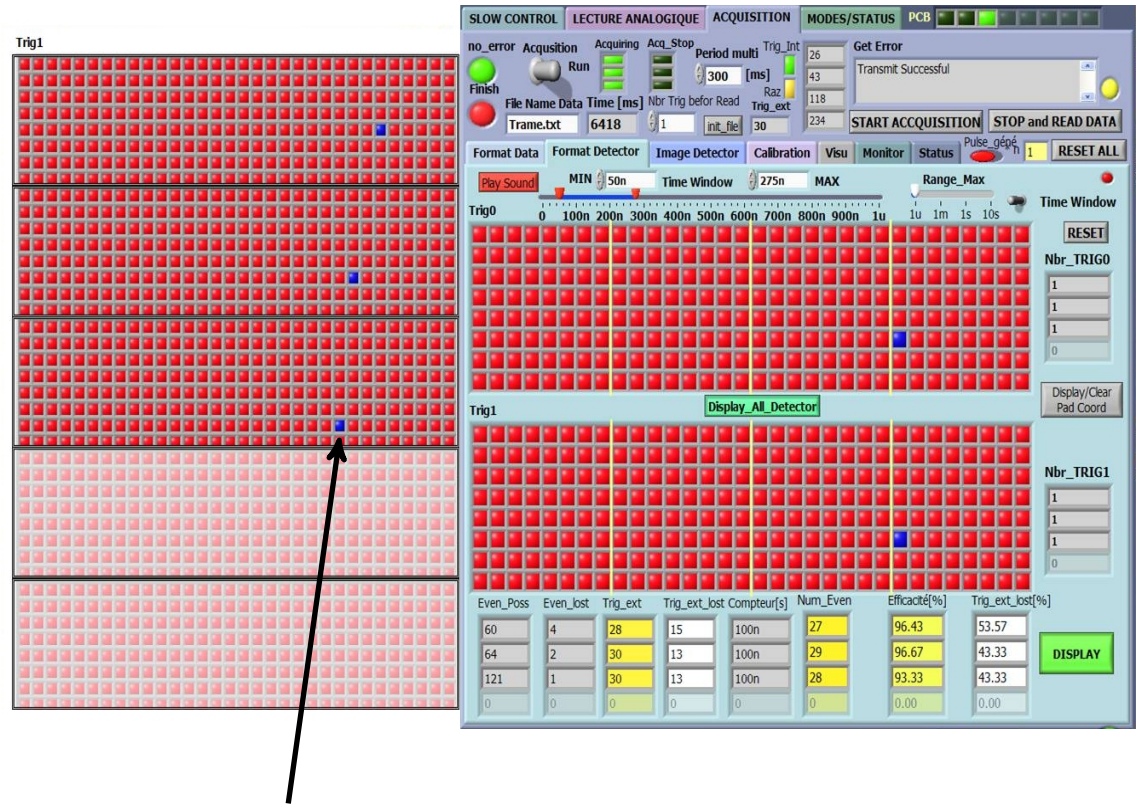


FIGURE 3.26 – *Tests avec des cosmiques : vue d'une particule traversant trois plans RPC. Les cartes sont représentées les unes à côté des autres pour améliorer la visibilité mais sont en réalité disposées les unes derrière les autres dans l'axe du faisceau.*

Après reconstruction des traces (le nombre de cartes utilisée pour ce faire est différent selon les périodes de test), la valeur de l'efficacité a été à nouveau calculée. Le résultat est montré sur la figure 3.28.

Des tests avec des cosmiques ont été réalisés avec succès. Un point important pour nous est que les précautions prises dans la réalisation des circuits imprimés se sont révélées suffisantes pour un bon fonctionnement de l'électronique au contact du détecteur. C'est la première fois que ce type de montage a été réalisé. Les mesures d'efficacité et de multiplicité ont montré que le fonctionnement observé du détecteur est cohérent avec les études précédentes, que le détecteur est adapté à des analyses de particle flow et que l'acquisition de données est fiable. Ces tests entre le graphite et le lycron ont également permis d'améliorer les caractéristiques de mesure du détecteur. Néanmoins un certain temps est encore nécessaire pour pouvoir exploiter les données acquises et en tirer l'information présente.

3.3 Tests en faisceau

Les tests en faisceau sont des périodes pendant lesquelles un dispositif est soumis à un flux de particules afin d'observer l'évolution de ses caractéristiques dans de telles condi-

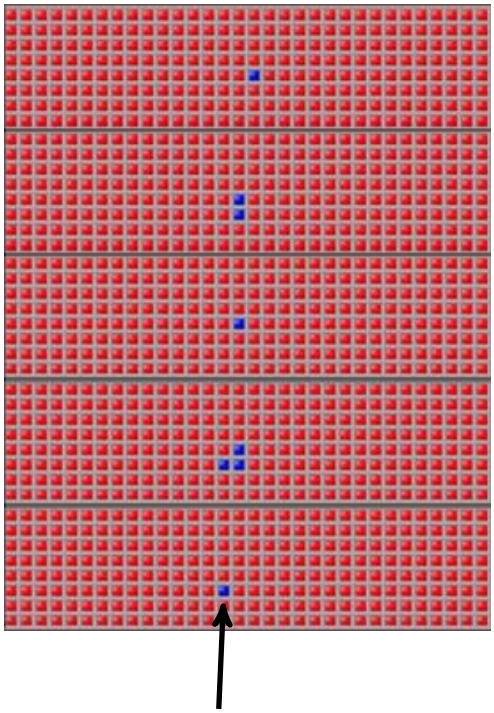


FIGURE 3.27 – *Tests avec des cosmiques : vue d'une particule traversant cinq plans RPC. La représentation utilisée est la même que pour la figure 3.26.*

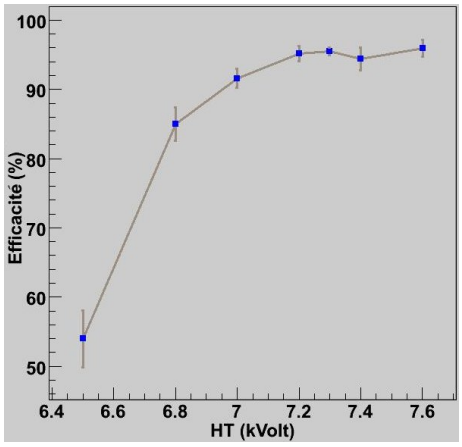


FIGURE 3.28 – *Courbe représentant l'efficacité du prototype de DHCAL composé de 4 GRPC en fonction de la haute tension, après reconstruction des traces (contact haute tension en lycron).*

tions. Une ligne d'accélération [13] génère un faisceau de particules connues avec une énergie maîtrisée. Contrairement à des tests avec des cosmiques, l'objectif de ces tests est d'avoir un flux plus conséquent, de tester le détecteur et l'électronique associée dans un cadre de fonctionnement limite. Les structures en temps généralement disponibles sont composées de paquets continus de particules de plusieurs secondes alternés avec des pauses du même ordre de grandeur en temps. La densité du faisceau peut, selon la structure, être réglée jusqu'à obtenir des flux relativement petits (quelques particules par seconde). Selon le flux choisi, la section du faisceau varie entre quelques millimètres et quelques dizaines de centimètres de diamètre.

3.3.1 Description de l'environnement de test et besoins en développements

Un prototype de calorimètre incluant 5 cartes DHCAL1 a été testé en faisceau au CERN durant les mois de juillet et août 2008 (PS [14] T10 du 17/07 au 27/07 et PS T9 du 28/07 au 04/08 soit 16 jours). Dans un premier temps, des mesures ont été effectuées sans absorbeur. Le prototype a été exposé à des muons, des pions ainsi que quelques électrons, sous différents flux et angles (disponibilité d'une table XY). Dans un deuxième temps, un absorbeur a été utilisé : 2 cm d'acier placé entre chacune des cartes soit $\sim$0.12 longueur d'interaction (λ_I). Pour quelques périodes de prises de données, 2 λ_I de tungstène ont été ajouté devant le calorimètre. La figure 3.29 montre deux vues du banc de test réalisé à l'occasion de la participation à des tests en faisceau.

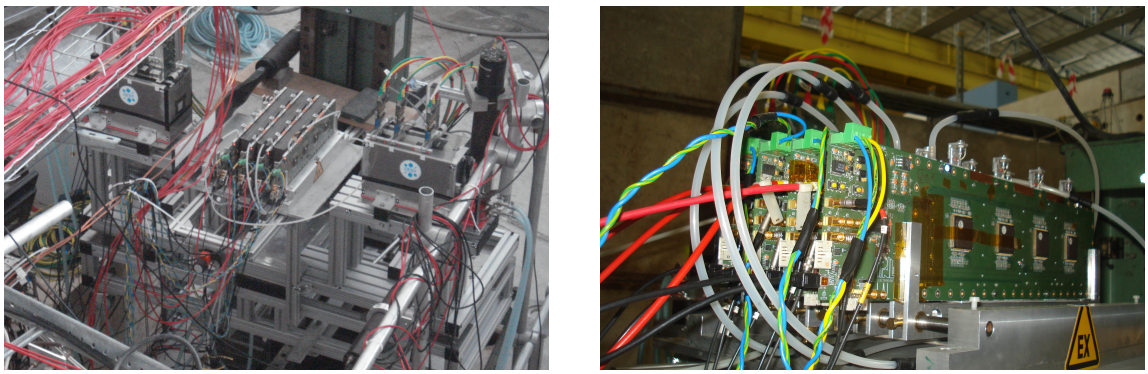


FIGURE 3.29 – *Vue générale (à gauche), et plus particulièrement de la zone contenant les cartes (à droite), de l'installation réalisée pour les tests en faisceau. Dans la vue générale, les plaques d'absorbeur utilisées dans la seconde phase des tests sont situées entre les cartes.*

La section du faisceau étant plus petite que la surface des cartes, certains ASICs reçoivent un flux de particules concentré alors que le reste ne reçoit rien. Les fonctionnements de l'ASIC et de la DAQ doivent être adaptés en conséquence.

En ce qui concerne le mode de déclenchement, le fonctionnement adopté est identique à celui utilisé lors des tests cosmiques. Ceci implique que le flux des particules qui vont mener à des déclenchements internes va être supérieur à la capacité de l'acquisition qui était limitée à environ 5 Hz en cosmiques.

13. accélérateur linéaire, électroaimants de type dipôles et quadrupôles pour la courbure et la focalisation, cibles, ...

14. **P**roton **S**ynchrotron : synchrotron à proton, accélérateur circulaire situé au CERN.

Pour repousser cette limite, le microprogramme et le logiciel ont été modifiés en tentant d'optimiser le nombre et le temps des transferts de données entre les cartes et l'ordinateur de pilotage :

- Suppression d'étapes intermédiaires : démarrage automatique des phases d'acquisition et de lecture dans les ASICs
- Taille de trame fixe : la carte fonctionnant en esclave du point de vue du contrôleur USB, elle ne peut transmettre que le nombre d'octets demandés par le logiciel de pilotage. La taille des données variant, elle était inscrite auparavant dans un registre pour indiquer au logiciel le nombre de mots à demander. Le critère limitant au niveau des délais est le temps d'accès et non pas la bande passante. Une trame correspondant à quatre ASICs pleins prend environ 10 ms à transmettre ; le rapport entre la structure en temps du faisceau et le taux de remplissage des mémoires des ASICs par le bruit fait qu'il ne devrait pas y avoir beaucoup plus d'un quart de cette quantité de données à transmettre dans le cas général, soit un temps de transfert de 2.5 ms. La lecture du registre peut prendre jusqu'à 16 ms. La suppression du passage de cette commande représente donc un gain de temps non négligeable. Les octets restant de la trame sont complétés par des zéros.
- Caractère de fin de trame : afin de faciliter l'analyse de données, une trame vide avec un identifiant d'ASIC réservé à cet effet est ajoutée à la fin des données pour un repérage plus aisé.
- Caractère d'évènement (« event character ») : la FIFO USB intègre la capacité de transmettre son contenu à l'ordinateur au premier accès du contrôleur USB après réception d'un caractère spécifique (défini auparavant par le biais de l'interface logicielle). Les mots de données alors envoyés passent directement à l'interface logicielle utilisateur (sans attendre que les mémoires tampon du pilote logiciel soit remplies). Leur utilisation doit donc permettre de minimiser les temps de transfert depuis le FPGA jusqu'au logiciel de pilotage. Cette fonctionnalité a été implémentée avec l'ajout d'un caractère supplémentaire à la fin des trames des différents types d'accès (« accès registres » et « accès commande ») afin de voir s'il est possible de réduire les temps d'accès. Le choix de la valeur minimale pour le « latency timer [15] » devrait remplir la même fonction mais il est compliqué d'observer le détail du dialogue entre le composant FTDI et la couche logicielle en cours d'acquisition.

Afin de s'assurer de la synchronisation des cartes entre elles, un veto sur le déclenchement externe a été ajouté, réalisé par un dispositif appelé TLU [16] [12].

Une conséquence de toutes ces modifications est qu'elles ont rendu impossible la synchronisation avec l'acquisition analogique, qui était effectuée auparavant par le logiciel. Des études de synchronisation « off–line » sont en cours.

Il est intéressant de noter que l'impact du bruit sur les données au point de contact entre le calorimètre et le faisceau est moins important dans ce cas que lors des tests cosmiques puisque le rapport entre la fréquence des déclenchements internes et celle des remises à zéro dans la zone contenant des données est supérieur.

15. compteur à l'échéance duquel le contenu de la FIFO est transmise à l'ordinateur si elle n'est pas remplie avant

16. **T**rigger **L**ogic **U**nit : unité logique de gestion de déclenchement; génération de signaux de déclenchement selon des relations logiques, coïncidence, veto et état d'occupation (busy) des systèmes de lecture des détecteurs.

3.3.2 Réalisations et mesures

3.3.2.1 Temps d'accès USB

Du côté logiciel, le problème des temps d'accès USB est, faute de moyens, difficile à appréhender (le FPGA répond aux requêtes de façon presque immédiate). Des statistiques sur les temps d'exécution des commandes ont été faites à partir d'outils de mesure des performances. Elles montrent que ceux ci ont une dispersion non régulière : un « accès registre » prend soit moins de 1 ms, soit 16 ms. En utilisant un logiciel d'observation de la bande passante en cours de prise de données, il apparaît qu'elle est de 1 Mégaoctet/s lorsqu'une seule carte est utilisée, et que cette valeur est partagée entre les cartes quand il y en a plusieurs. L'acquisition a pourtant été dessinée avec des tâches tournant en parallèle. Même si ce n'est pas un parallélisme matériel [17], la fréquence du processeur est assez grande pour que cela ne fasse pas de différence vis à vis des délais attendus et le pilote du constructeur est prévu pour une utilisation multitâches. L'ordinateur de pilotage possède quatre contrôleurs USB et la norme voudrait que leur bande passante soit indépendante. En connectant deux cartes, il a été vérifié qu'elles n'étaient pas reliées au même contrôleur, mais cela n'a rien changé au problème. La norme USB n'est peut être pas respectée dans l'implémentation du contrôleur au niveau du composant de la carte mère responsable des interfaces (« chipset »). Une manière de le vérifier aurait été d'utiliser une carte d'extension PCI, ce qui n'a pas été fait par manque de temps.

Les modifications sur le fonctionnement du microprogramme ont permis une amélioration substantielle de la fréquence d'acquisition. Auparavant estimée à 5 Hz sur le banc de test cosmiques, elle est passée à 100 Hz pour une seule carte et 20 Hz avec 4 cartes fonctionnant en parallèle. Cette valeur reste faible. En comptant 20 ms pour la lecture des ASICs, 1 ms pour le contrôle du statut, 1 ms pour le passage de la commande de lecture et 2.5 ms pour la lecture des données, on trouve une fréquence possible de 41 Hz. En comptant 16 ms pour chaque temps d'accès, la fréquence maximale d'acquisition devient 18 Hz. L'amélioration est donc due uniquement à la diminution du nombre de commandes passées. L'utilisation des caractères d'évènement n'a rien changé.

3.3.2.2 Pilotage à distance

Il n'est pas possible de rester à proximité du faisceau pendant qu'il est allumé. Il faut donc pouvoir piloter l'acquisition depuis une salle située à une trentaine de mètres des cartes.

Deux solutions permettent de s'accommoder de cette contrainte :

– Tirer des câbles sur cette distance : la norme USB ne permet pas d'aller au delà de 5 m d'un périphérique mais il existe des répéteurs ou des systèmes qui relaient les signaux USB soit en les encapsulant dans un autre protocole comme l'Ethernet [18] (ce standard définit des puissances de pilotage de ligne plus importantes) soit en changeant de support, en passant par exemple sur des fibres optiques où l'atténuation est moindre. Néanmoins, l'utilisation de longs câbles a l'inconvénient de diminuer la réactivité du système en allongeant les temps de transfert. Sur du cuivre, les signaux

17. bien que l'ordinateur d'acquisition possède plusieurs processeurs, le logiciel n'a pas été développé pour et l'environnement système parallélise mal de son propre gré.

18. Ethernet : protocole de réseau local à commutation de paquets implémentant la couche physique et la sous-couche contrôle des accès médias, classé dans la couche de liaison et repéré par la norme IEEE 802.3, ISO/IEC 8802-3.

électriques progressent d'un mètre en 5 ns, soit 150 ns pour 30 m, ce qui est négligeable vis à vis des fréquences des signaux.

– Une autre possibilité est de laisser l'ordinateur de pilotage dans la zone de faisceau. Le contrôle de l'état de l'acquisition se fait alors en transférant l'affichage de cet ordinateur dans la salle de contrôle. La réactivité est meilleure même si la différence est très petite dans notre cas. L'intérêt pour cette solution est plus prononcé lorsque la salle de pilotage est située à une plus grande distance de la zone de test et que les interface de pilotage sont plus rapides.

La deuxième solution a été choisie car elle ne nécessite pas de développement supplémentaire.

3.3.2.3 Analyse des données

En tout, 260 000 évènements ont été enregistrés. Leur analyse prendra un temps important, elle n'en est qu'à ses débuts. Dans cette section sont abordés un certain nombre de résultats préliminaires ainsi que des aspects généraux de l'analyse de données. Les images présentées le sont à la courtoisie de V. Boudry dont c'est le fruit du travail.

Une des phases de l'analyse des données correspond à vérifier leur cohérence avec le schéma d'acquisition choisie. La figure 3.30 montre la distribution des valeurs d'estampillage sur une période de trois heures de prises de données. Le premier pic sur la droite à

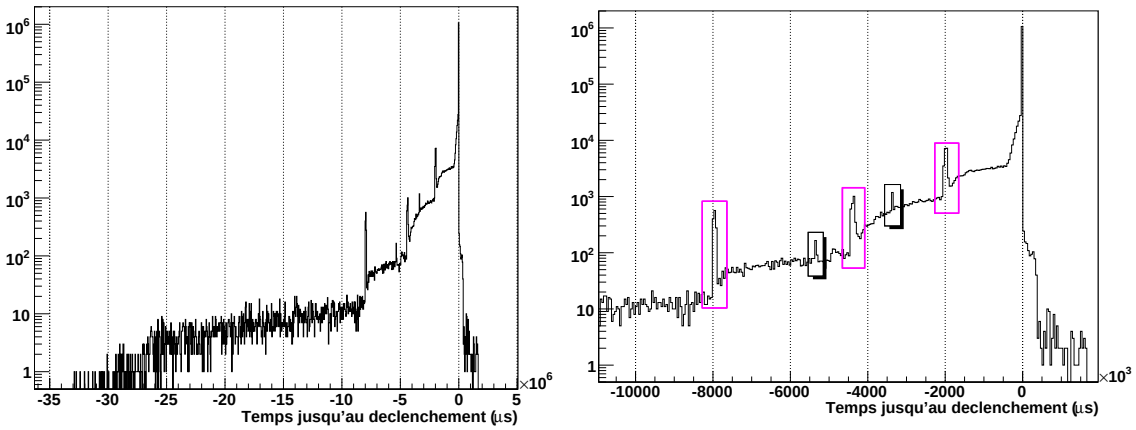


Figure 3.30 – *Vues générale et en détail, sur une période de prise de données de 3h, de la dispersion du contenu du compteur différentiel entre le dernier déclenchement interne d'un ASIC et le déclenchement externe.*

$\sim$0 ms représente les évènements enregistrés par l'ASIC correspondant au déclenchement externe. Le pic à -2 s représente les évènements du paquet précédent n'ayant pas donné lieu à un déclenchement. Cela correspond au schéma temporel interne d'un train de paquets de particules. La limite de l'estampillage ($2^{24} \times 200\,\text{ns}$) est située à $\sim -3\,\text{s}$. Les points situés au delà sont identifiés en localisant les rebouclages du compteur entre deux lectures. Il est possible de ce fait d'avoir certains points de données remontant jusqu'à 35 s avant l'évènement courant.

La figure 3.31 représente l'ensemble des données acquises par les cartes pendant une période d'acquisition. La partie du bas montre l'ensemble des évènements acquis durant une période similaire, mais ayant un étiquetage en temps compatible avec le signal de déclenchement en provenance des scintillateurs de $7 \times 7\,\text{mm}^2$. Les points de données enregistrés sont alors majoritairement situés à l'endroit où est situé le scintillateur, ce qui est normal puisque la probabilité qu'une particule passe par cette fenêtre de petite taille est faible. Dans le cas d'un scintillateur de la taille de la carte, beaucoup plus d'évènements amènent à un déclenchement. Dans les deux cas, on reconnaît le profil du faisceau situé au centre des cartes. La figure en haut à droite présente un des problème rencontrés : La forme mise en lumière est celle du fil de pêche utilisé comme espaceur. Cela signifie donc qu'il a tendance à favoriser l'apparition de déclenchements.

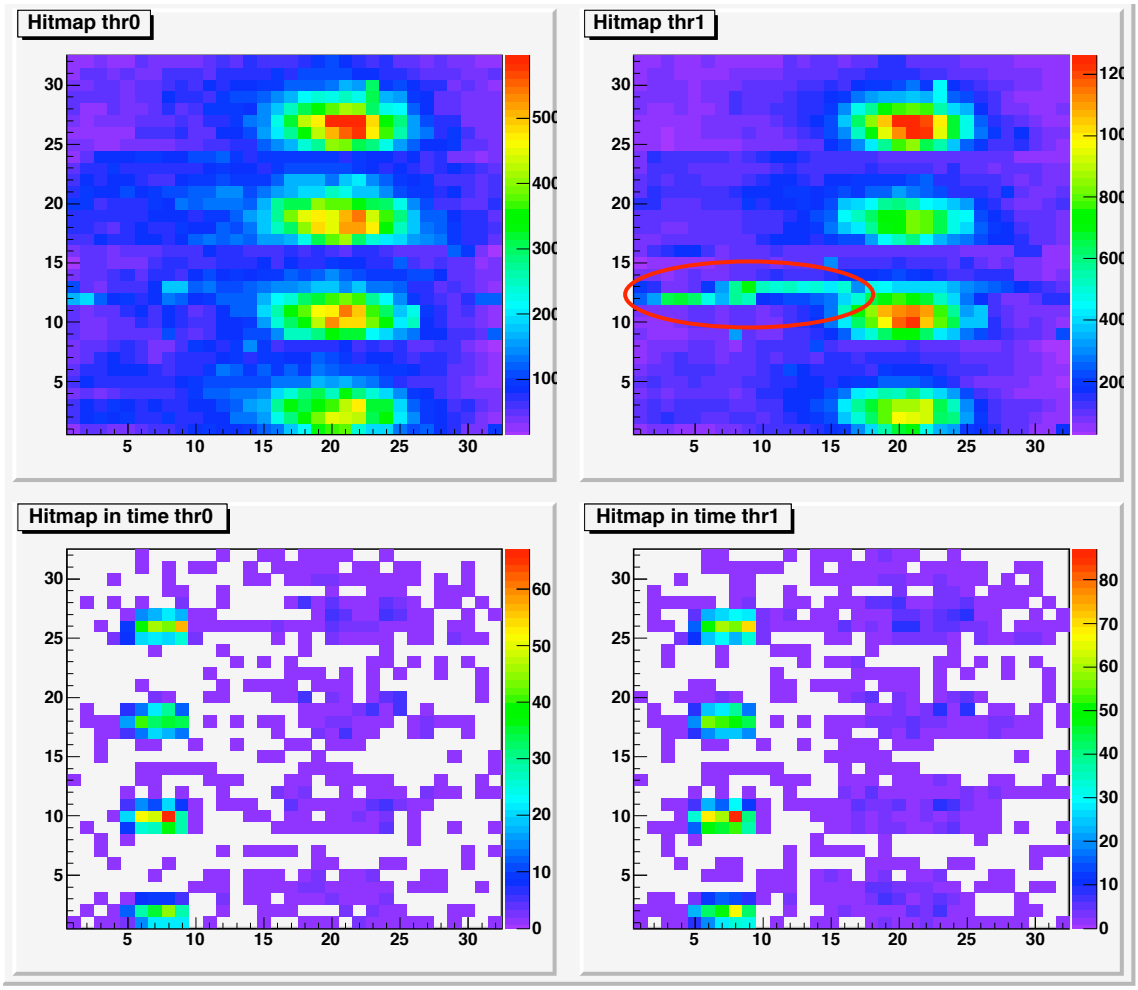


FIGURE 3.31 – *Vue des données acquises par la carte DHCAL1 pendant une période d'acquisition avec (bas) ou sans (haut) scintillateur pour le déclenchement externe de* $7\times7\,\mathrm{mm}^2$. *Les quatre plans de détection sont représentés les uns à côté des autres dans la direction des ordonnées. Chaque petit carré représente une cellule de détection. La quantité d'évènement enregistrés est illustrée par la couleur dont l'échelle est données sur la droite. La zone mise entourée montre l'effet du fil de pêche utilisé comme espaceur.*

Voici maintenant un certain nombre d'évènements. En figure 3.32 est représenté le passage d'un muon dans le calorimètre avec un angle de 30°. La figure 3.33 montre deux pion de 6 GeV, le premier de direction perpendiculaire au prototype et le second avec un angle de 30°. Les cartes étaient alors intercalées avec des plaques d'absorbeur de manière

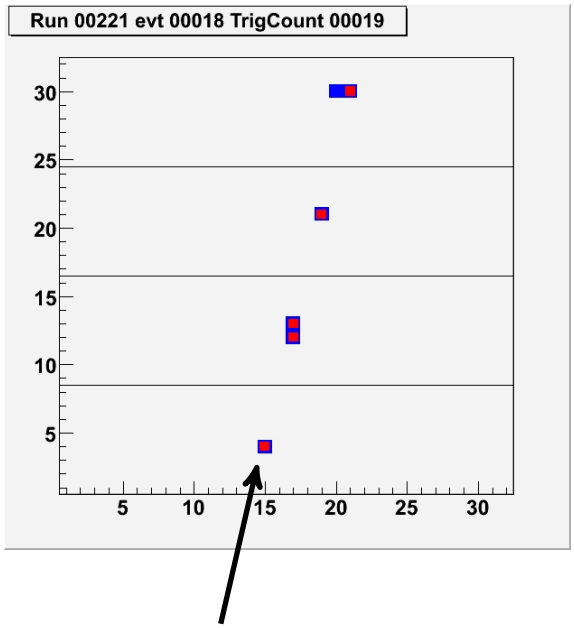


FIGURE 3.32 – *Visualisation du dépôt d'énergie d'un muon faisceau avec un angle de 30 degrés dans le calorimètre (sans absorbeur) composé de 4 plans RPC (seuil bas en bleu, haut en rouge).*

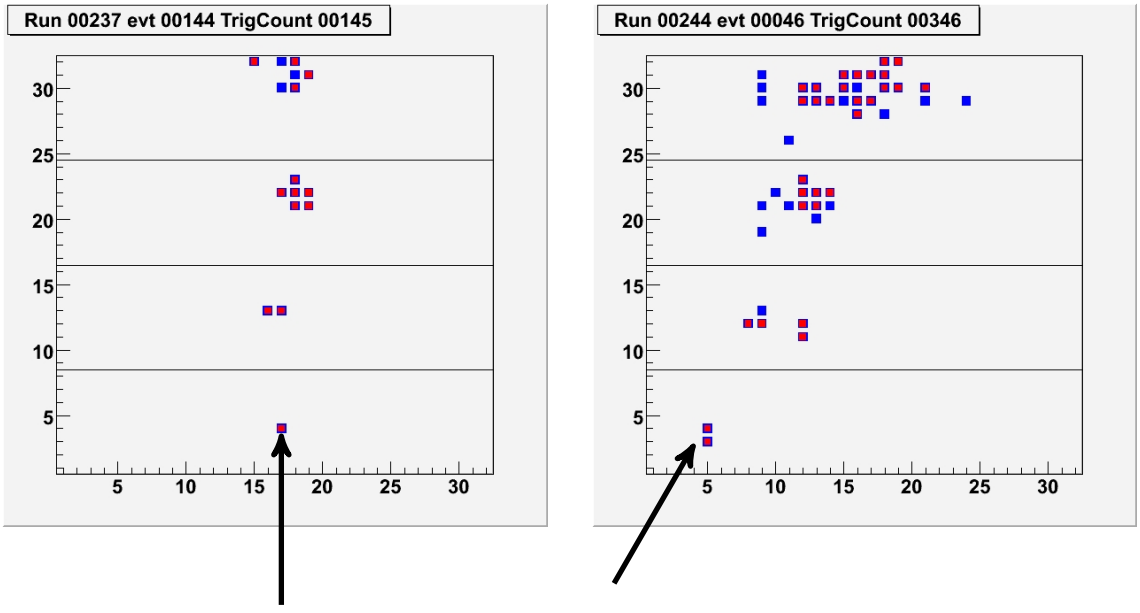


FIGURE 3.33 – *Visualisation du dépôt d'énergie d'un pion de 6* GeV *dans le calorimètre composé de 4 plans RPC avec l'absorbeur en fer (seuil bas en bleu, haut en rouge).*

à observer le développement de la gerbe hadronique.

Une partie des périodes d'acquisition a été dédiée à l'étude de la variation des paramètres du détecteur selon la haute tension. La figure 3.34 présente une période où la haute tension était fixée à 8.0 kV. Lorsque la haute tension dépasse les 7.5 kV pour cette

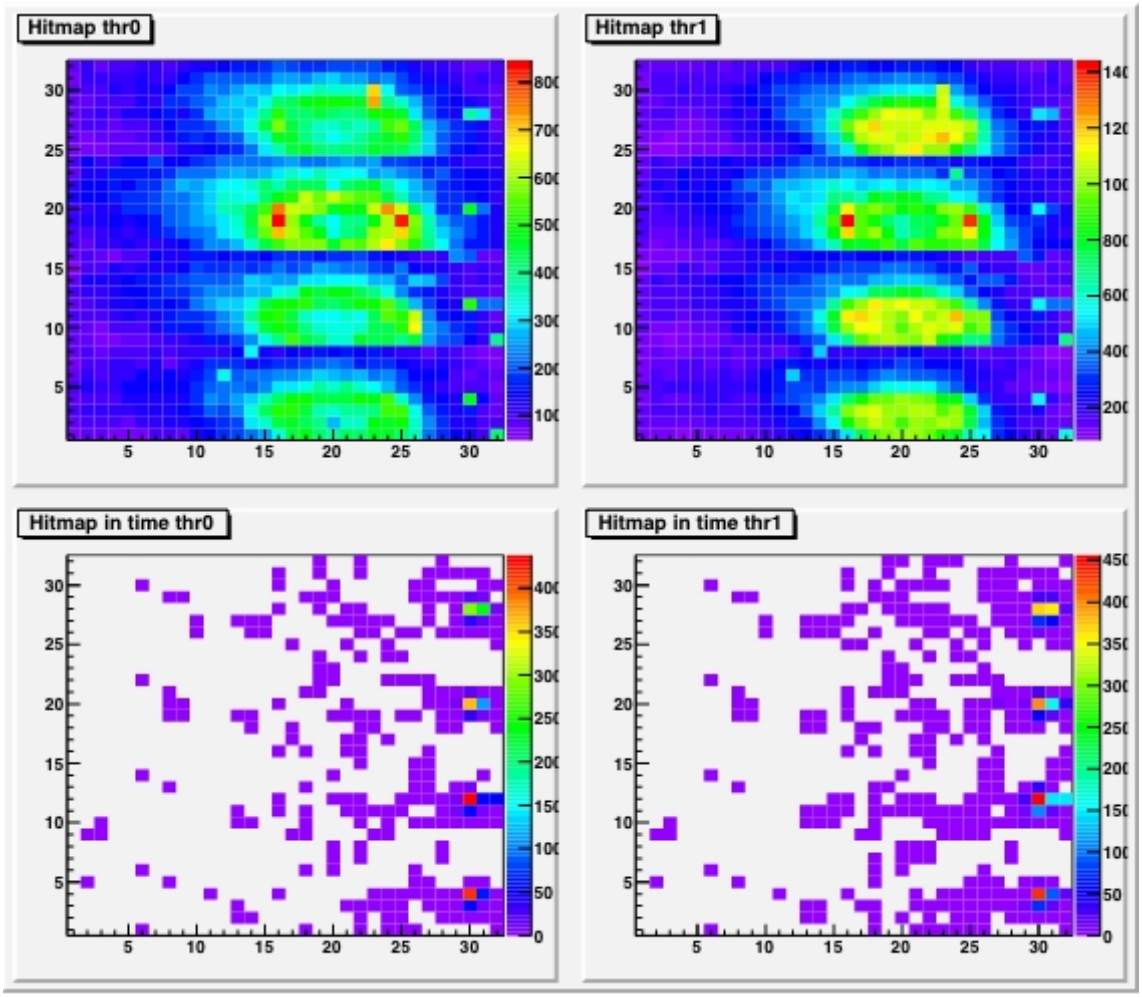


FIGURE 3.34 – *Vue des données acquises par la carte DHCAL1 pendant une périodes d'acquisition où la haute tension était fixée à 8.0* kV.

distance entre ses plaques (1.2 mm), le phénomène de streamer [19] commence à apparaître. Il correspond à des avalanches d'amplitude constante environ 10 fois plus grande que celles observées en moyenne dans le mode de fonctionnement proportionnel. Leur temps d'établissement est environ deux fois plus long que celui d'une avalanche normale. Le détecteur est donc insensibilisé localement au passage des particules, ce qui peut expliquer la densité d'évènements très basse au coeur du faisceau.

3.3.3 Conclusion

Des tests en faisceau ont été réalisés avec succès sur un prototype de DHCAL semi-digital. Les analyses sont en cours mais les premiers résultats sont très encourageants. Les

19. streamer : serpentin, nom donné au mode de fonctionnement saturé d'une RPC.

prochaines étapes des développements sont déjà en cours pour la réalisation de prototypes à plus grande échelle. Un prototype d'1 m^2 doit permettre de comparer les performances des GRPC et des MicroMeGaS (des tests en faisceau ont eu lieu avec ce nouveau prototype au CERN en Novembre 2008, mais n'ont pas été concluants et la décision est reportée à février 2009). L'analyse des données acquises débutera prochainement. La prochaine étape (2009/2010) est la réalisation d'un prototype d'un demi mètre cube avec lequel les premières études de calorimétrie pourront être effectuées. A cette étape du développement, les prototypes technologiques de seconde génération du ECAL et du AHCAL de CALICE devraient également être achevés. Leur assemblage permettra de mettre en pratique les analyses de particle flow (clustering, séparation de particules proches) et servira de démonstrateur pour un détecteur du futur accélérateur linéaire.

Conclusion

Dans ce travail, nous avons présenté la conception, la réalisation, et des résultats de tests d'un prototype d'électronique pour la lecture d'un calorimètre hadronique semi–digital.

Il comprend une carte d'électronique un peu particulière, puisqu'elle fait partie intégrante du détecteur. Cette carte contient quatre circuits intégrés spécifiques 64 voies, avec deux seuils, un auto–déclenchement, 128 cases mémoires, une sortie série pour ses données et un système d'extinction cyclique de ses alimentations. Le circuit imprimé a été blindé pour protéger l'électronique de lecture des fortes décharges du détecteur. La diaphonie inter–canaux a été mesurée inférieure à 0.5 %, ce qui est satisfaisant.

Les performances de la chaîne d'électronique ont été évaluées. Il a été montré qu'il était possible de fixer un seuil commun aux 64 voies d'un circuit intégré à un niveau équivalent à la réponse d'une cellule à un unique électron d'ionisation.

Le travail réalisé a également consisté à développer le programme du composant programmable situé sur la carte, ainsi qu'une librairie logicielle de lecture des cartes par USB.

Une fois la logique testée et les performances de la chaîne d'électronique caractérisées, la carte a été intégrée à une cellule de détection de type GRPC pour des tests avec des rayons cosmiques et des faisceaux de particules. Durant ces derniers tests, les ASICs et le composant programmable étaient directement placés dans le faisceau. Ils ont malgré tout eu un fonctionnement stable.

Hormis le bruit intrinsèque de la carte évalué lors des tests sur table, le bruit des cellules de détection a été quantifié ; sa fréquence de répétition est de l'ordre du kiloHertz. Ce type de perturbation est assez gênant pour le fonctionnement par trains de l'ASIC, mais les analyses montrent qu'il est néanmoins possible de fonctionner dans ces conditions. Il est sans doute nécessaire de penser à dimensionner la mémoire des futures versions du circuit selon l'intensité des faisceaux auxquels il devrait être soumis.

Les fonctionnalités manquantes et les dysfonctionnements de la première version de l'ASIC HaRDROC ont été révisés dans sa seconde version actuellement en phase de tests (Novembre 2008).

Un nouveau modèle de carte contenant 24 circuits (de la première version) a également été réalisé qui est en cours de validation et devrait être testé en faisceau en mars de l'année 2009 sur un plan de détection d'un mètre carré qui en contiendra six. Il utilise la même électronique que celle qui a été testée dans ce travail. Il fait partie des développements en vue du prototype technologique de calorimètre prévu pour 2010. Cette carte permettra d'aborder des problématiques principalement techniques comme celle de la connectique des longs circuits imprimés ou celle des longues chaînes d'ASICs à configurer et à lire.

Un nouveau type de cellule de détection est maintenant à l'étude, les Multi–gap GRPC,

dont les performances seront évaluées conjointement à celles des GRPC et des MicroMeGaS. Un premier test a été réalisé avec ce type de cellule monté sur une carte DHCAL1 pour des tests en faisceau réalisés en Octobre 2008. Le niveau de bruit observé avec ce type de cellules semble être moindre, ce qui est très encourageant.

Annexe A

Documents

A.1 Machines d'état de HaRDROC1

La figure A.1 décrit l'évolution des états de la machine d'état d'acquisition de HaRDROC1. La figure A.2 décrit l'évolution des états de la machine d'état de lecture de HaRDROC1.

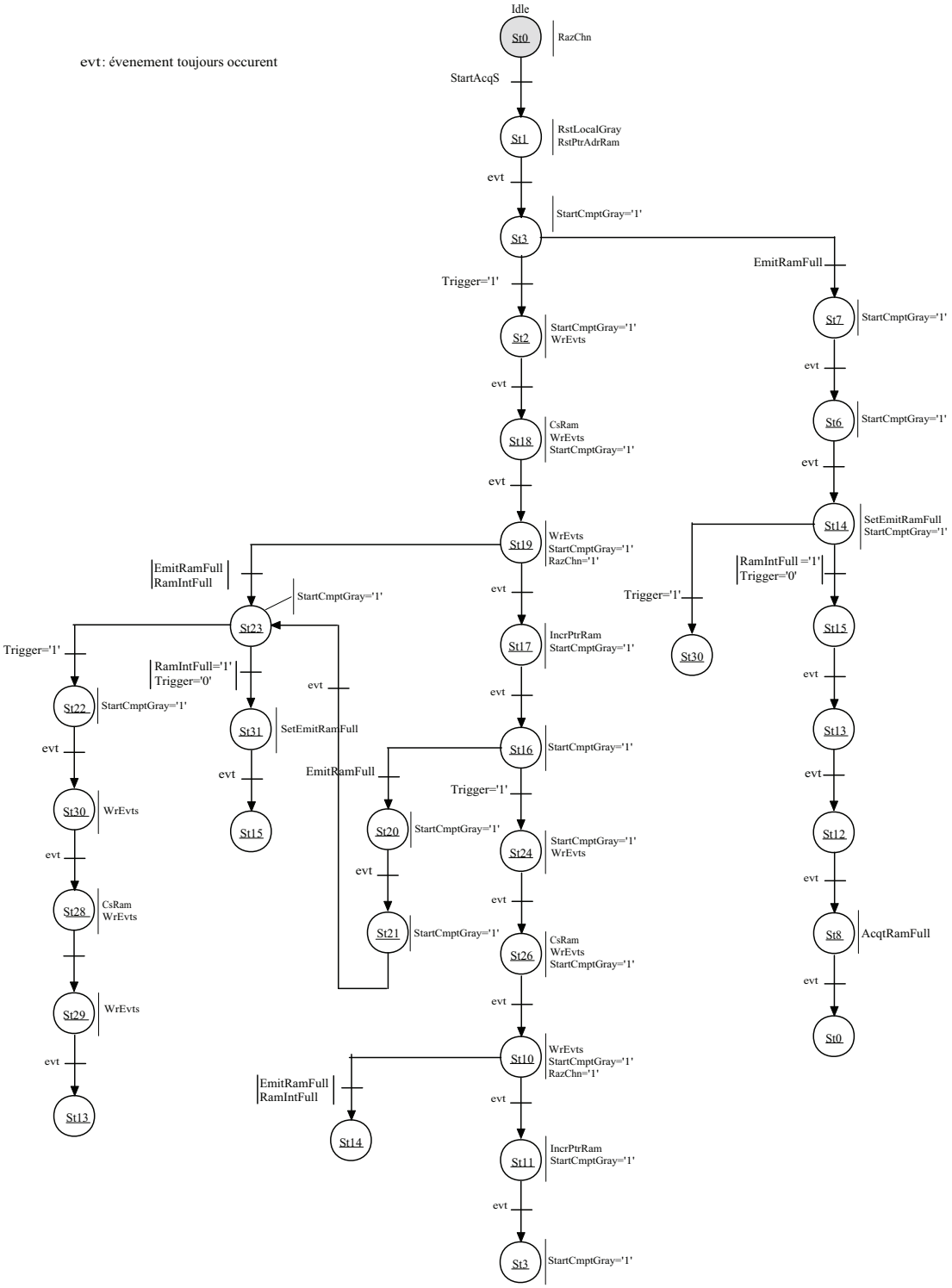


FIGURE A.1 – *Schéma de la machine d'état d'acquisition de HaRDROC1*

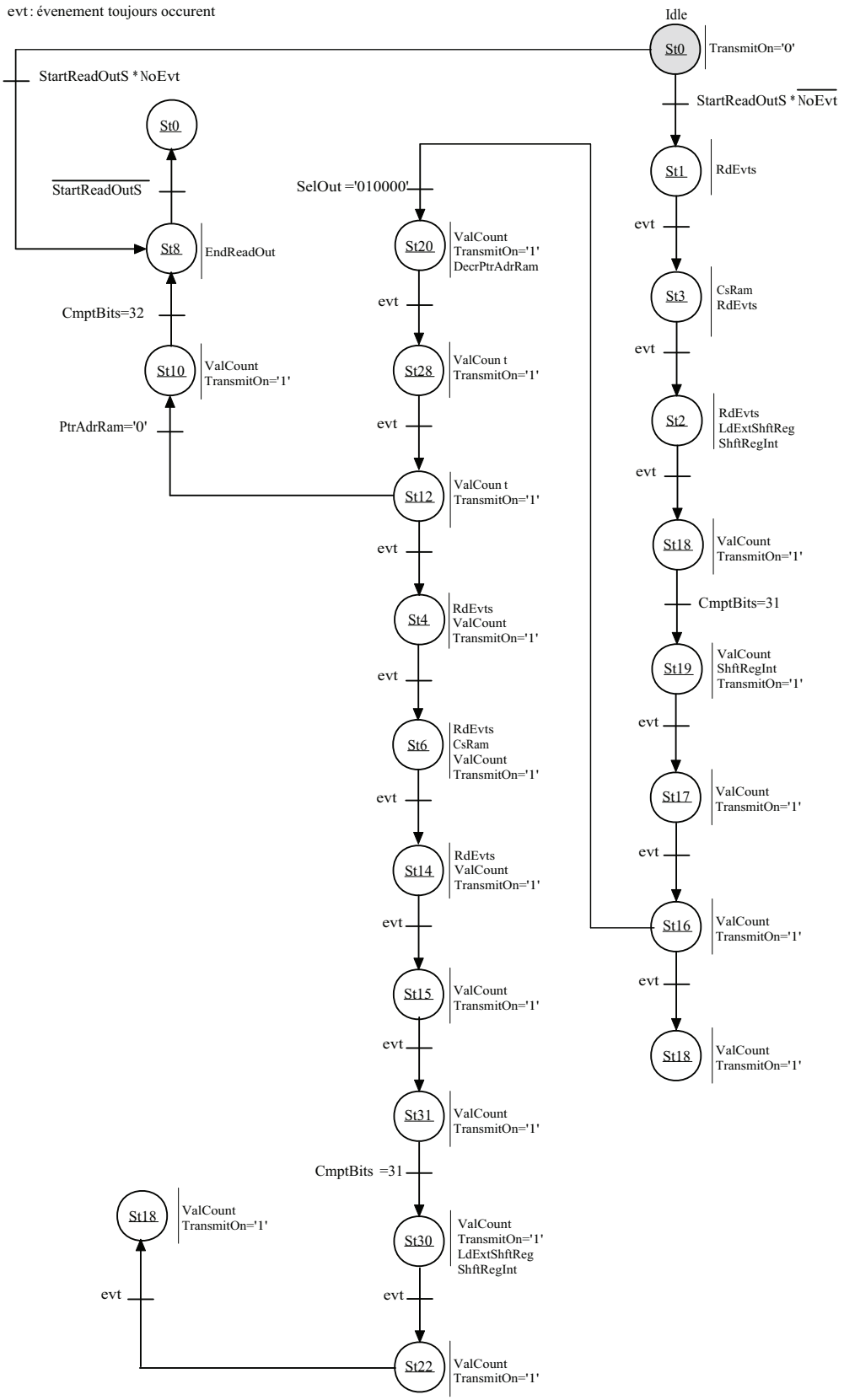


FIGURE A.2 – *Schéma de la machine d'état de lecture de HaRDROC1*

A.2 Numérotation des cellules de la carte DHCAL1

Le tableau A.1 répertorie la liste des numéros des cellules du HaRDROC1 n° 1 de la carte DHCAL1 (représentation avec le FPGA situé à gauche). Le tableau A.2 liste quant à lui les numéros des pattes d'entrées correspondantes du circuit et le tableau A.3 les relie aux numéros des voies correspondantes. Les numéros de cellules ne sont qu'un identifiant géométrique représentant la localisation de la cellule sur la carte. Comme les cellules de chacun des composants ont la même localisation relative, il suffit pour connaître les numéros correspondant sur les autres ASICs d'ajouter 64 aux numéros de cellule et de voie du détecteur quand on passe à l'ASIC suivant. Les 2 autres tableaux permettent de faire la correspondance entre le numéro de voie du détecteur et la patte d'entrée correspondante du circuit intégré.

64	63	62	61	60	49	48	47
56	55	54	53	52	55	50	49
48	47	46	45	44	43	42	41
40	39	38	37	36	35	34	33
32	31	30	29	28	27	26	25
24	23	22	21	20	19	18	17
16	15	14	13	12	11	10	9
8	7	6	5	4	3	2	1

TABLE A.1 – *Numérotation des cellules concernant un ASIC sur le PCB de DHCAL1*

44	61	64	55	52	56	49	57
50	59	63	53	51	45	47	43
48	58	60	54	46	40	42	37
39	38	41	36	35	33	34	32
18	24	21	23	26	29	30	28
12	6	1	11	25	22	27	20
14	8	239	13	17	16	19	15
10	4	238	5	7	3	9	2

TABLE A.2 – *Numérotation des pattes d'entrée du HaRDROC1 correspondant à la cellule de même localisation géométrique sur le PCB de DHCAL1*

44	61	63	55	52	56	49	57
50	59	62	53	51	45	47	43
48	58	60	54	46	40	42	37
39	38	41	36	35	33	34	32
19	25	22	24	27	30	31	29
13	7	2	12	26	23	28	21
15	9	1	14	18	17	20	16
11	5	0	6	8	4	10	3

TABLE A.3 – *Numérotation des voies d'entrée du détecteur correspondant à la cellule de même localisation géométrique sur le PCB de DHCAL1*

A.3 Notice à inclure pour l'usage de tout ou partie de la documentation du composant FTDI FT245BL

Le manuel du composant FTDI FT245BL disponible à l'adresse `http://www.ftdichip.com/Documents/DataSheets/DS_FT245BL.pdf` spécifie que doit être associée la notice suivante à tout ou partie du document reproduite. Les images et informations reprises dans ce manuscrit qui s'y réfèrent amènent donc à cette page afin d'y attirer l'attention du lecteur qui reconnaîtra en avoir pris connaissance.

©Future Technology Devices International Limited, 2005
Neither the whole nor any pad of the information contained in or the product described in this manual may be adapted or reproduced in any material or electronic form without the prior written consent of the copyright holder.

This product and its documentation are supplied on an as-is basis and no warranty as to their suitability for any particular purpose is either made or implied.

Future Technology Devices International Ltd. will not accept any claim for damages howsoever arising as a result of use or failure of this prided. Your statutory rights are not affected.

This product or any variant of it is not intended for use in any medical appliance device or system in which the failure of the product might reasonably be exposed to result in personal injury.

This document provides preliminary information that may be subject to change without notice.

Annexe B

Descriptif technique du microprogramme de la carte DHCAL1

Cette annexe rassemble les listes de ports d'entrées/sorties, les tableaux de Karnaugh (tables de vérité) et les schémas des machines d'états ainsi que les simulations de chacun des blocs du microprogramme de la carte DHCAL1.

Le plan adopté ici suit celui de la sous-section 2.3.4 afin que le lecteur averti puisse se rapporter aisément aux détails techniques d'un bloc en particulier. A l'exposé des simulations, nous indiquons par des flèches les transitions importantes induites par les différents signaux.

Afin de garder une place raisonnable pour les commentaires de la liste des ports d'entrée/sortie des entités, certains acronymes ont été utilisés (entre autre RAZ[1], DLL et DCM).

La configuration externe est ici nommée, et ce pour des raisons historiques, « Slow Control » (contrôle lent en anglais).

B.1 Séquencement des ASICs

Les ports d'entrée sortie de l'entité de séquencement des ASICs sont listés en B.1.

```
Entity ASICs_Seq_FSM is
Port(
  clk_osc              : in std_logic; -- horloge système
  rst                  : in std_logic; -- RAZ globale système
  clk_5m               : in std_logic; -- horloge 5 MHz pour la phase d'acquisition
  clk_1m               : in std_logic; -- horloge 1 MHz pour la phase de lecture
  asics_clk_locked     : in std_logic; -- possibilité d'utiliser une DLL ou un DCM
  startAcq_en          : in std_logic; -- lancement de l'acquisition (25 ns)
  fakeTrig             : in std_logic; -- faux déclenchement
  external_trig_in     : in std_logic; -- déclenchement externe (connecteur LEMO)
  trig_int_ored        : in std_logic; -- OU des déclenchements internes des ASICs
  hold_n               : in std_logic; -- maintien
  valid_ext_raz_chn    : in std_logic; -- signal RazChn du FPGA valide
  stopAcq_en           : in std_logic; -- arrêt de l'acquisition (25 ns)
  RamFull_n            : in std_logic; -- mémoire d'un ASIC pleine
  startRO_en           : in std_logic; -- démarrage de la lecture (25 ns)
  transmitOn_n         : in std_logic; -- fenêtre des données provenant des ASICs
  dout_n               : in std_logic; -- données série
  endRO_en             : in std_logic; -- fin de la lecture (25 ns)
```

1. **R**emise **A** **Z**éro.

```
    stopRO_en             : in std_logic; -- arrêt de la lecture (25 ns)
    rstASICs_en           : in std_logic; -- RAZ des ASICs (25 ns)
    rstTimeStamps_en      : in std_logic; -- RAZ des compteurs d'estampillage (25 ns)
    readData              : in std_logic; -- envoi des données au PC (25 ns)
    writing               : in std_logic; -- écriture USB active

-- ************************ SECTION DE L'ESPION *********************************
   -- writing                 : in std_logic; -- déjà déclaré dans les ports de l'entité
    spy_getData_en        : in std_logic; -- envoi des données de l'espion au PC (25
        ns)

    spy_usb_we            : out std_logic; -- l'espion écrit sur l'USB
    spy_txData            : out std_logic_vector(7 downto 0); -- données de l'espion
    spy_acting            : out std_logic; -- espion actif
    spy_acknowledge       : out std_logic; -- fin de l'envoi des données de l'espion
    spy_time_out          : out std_logic; -- temps d'envoi des données écoulé
    spy_tmo_cnt           : out std_logic_vector(31 downto 0); -- compteur de temps
        écoulés
-- ******************************************************************************

    rst_counter_n         : out std_logic; -- RAZ des compteurs d'estampillage
    dhcal_rst_n           : out std_logic; -- RAZ des ASICs
    startAcq              : out std_logic; -- démarrage de l'acquisition
    acquiring             : out std_logic; -- en état d'acquisition
    valEvt                : out std_logic; -- autorisation des évènements (latchs)
    razChn                : out std_logic; -- RAZ des latchs
    acqStopped            : out std_logic; -- en état arrêté
    stopAcq               : out std_logic; -- arrêt de l'acquisition
    sw_5m_or_1m           : out std_logic; -- 1 --> 5MHz, 0 --> 1MHz
    startRO               : out std_logic; -- démarrer la lecture
    readingOut            : out std_logic; -- en état de lecture
    readDataNbr           : out std_logic_vector(MAX_ADDR_DATA_NEED-1 downto 0); --
        nombre de données lues
    dataReadFinished      : out std_logic; -- fin du rapatriement des données par le PC
    busy_pulse            : out std_logic; -- signal occupé durant une impulsion
    usb_we                : out std_logic; -- données en attente d'écriture par l'USB
    txData                : out std_logic_vector(WIDTH - 1 downto 0); -- données à
        transmettre
    diffCnt               : out std_logic_vector(31 downto 0); -- compteur
        différentiel déclenchement interne/externe
    acqStoppedByUsb       : out std_logic; -- acquisition arrêtée par l'USB
    acqStoppedByHold      : out std_logic; -- acquisition arrêtée par le maintien
    acqStoppedByTrigExt   : out std_logic; -- acquisition arrêtée par déclenchement
        externe
    acqStoppedByRamFull   : out std_logic  -- acquisition arrêtée par une mémoire
        pleine
  );
End ASICs_Seq_FSM;
```

Listing B.1 – Entité de séquencement des ASICs

La machine d'états de séquencement des ASICs est représentée en B.1.

La table de vérité de la machine d'états de séquencement des ASICs est représentée en B.2.

Les figures B.3 B.4 B.5 B.6 B.7 représentent différents instants de la simulation RTL de l'entité de gestion du séquencement des ASICs.

B.2 Gestion de l'accès USB

Lecture

Les ports d'entrée sortie de l'entité de lecture par USB sont listés en B.2.

```
Entity readMachine is
Port(
```

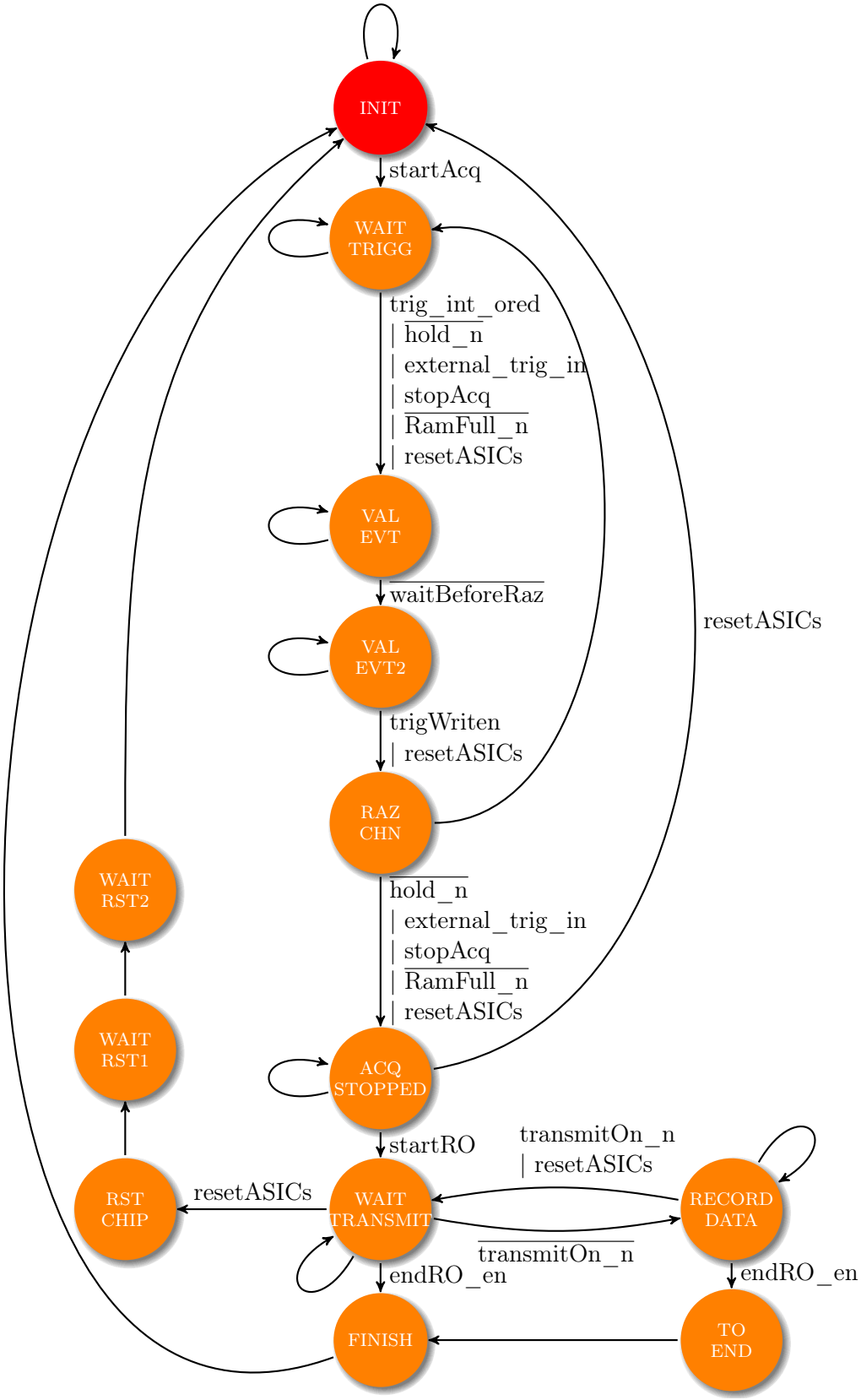


FIGURE B.1 – *Schéma de la machine d'états de séquencement des ASICs*

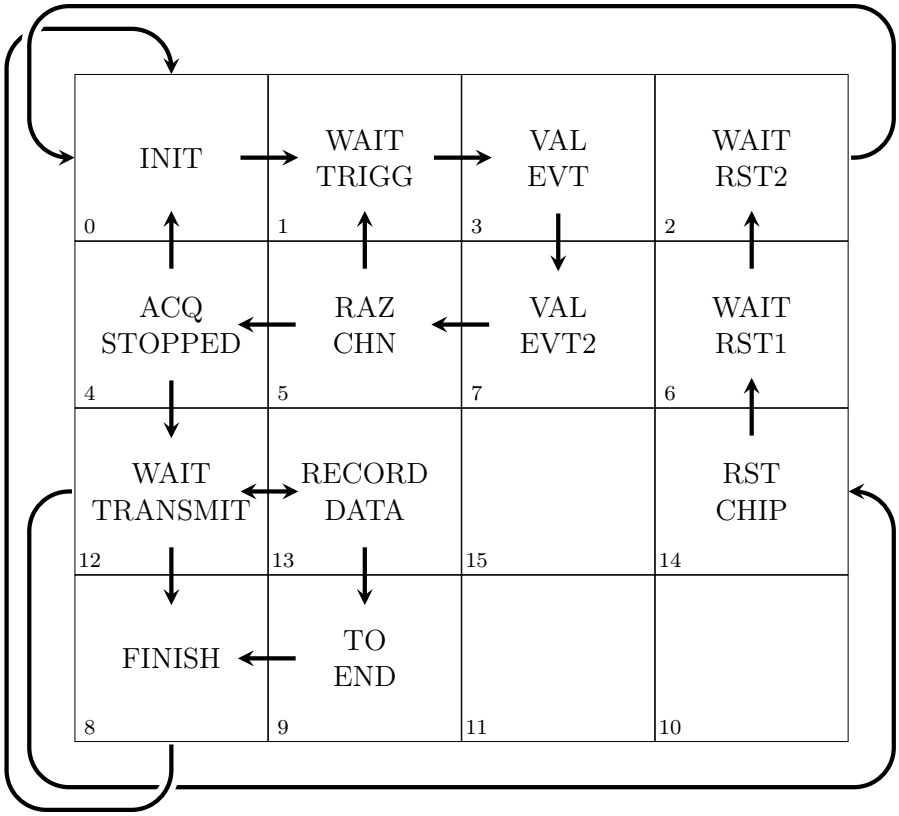


FIGURE B.2 – *Table de vérité de la machine d'états de séquencement des ASICs*

```
  clk_osc     : in std_logic; -- horloge du quartz à 40MHz
  rst         : in std_logic; -- RAZ globale système
  usb_re      : in std_logic; -- autorisation de lire par l'USB
  usb_rxf_n   : in std_logic; -- disponibilité de donnée dans la FIFO
  usb_d_i     : in std_logic_vector(7 downto 0); -- bus de données USB

  usb_rd_n    : out std_logic := '1'; -- décale la FIFO sur front montant
  usb_strobe  : out std_logic := '0'; -- validation de la donnée entrante
  rxData      : out std_logic_vector(7 downto 0) := (others => '0'); -- donnée reçue
  reading     : out std_logic := '0' -- processus de lecture enclenché
  )
End readMachine;
```

Listing B.2 – Entité de lecture par USB

La machine d'états de lecture par USB est représentée en B.8.
La table de vérité de la machine d'états de lecture par USB est représentée en B.9.
La figure B.10 représente la simulation de l'entité de gestion de la lecture USB.

Ecriture

Les ports d'entrée sortie de l'entité d'écriture par USB sont listés en B.3.

```
Entity writeMachine is
Port(
  clk_osc    : in std_logic; -- horloge système
  rst        : in std_logic; -- Remise à zéro globale système
  txData     : in std_logic_vector(7 downto 0); -- données à transmettre
  usb_we     : in std_logic; -- données en attente d'écriture par l'USB
  usb_txe_n  : in std_logic; -- autorisation d'écrire dans la FIFO
```

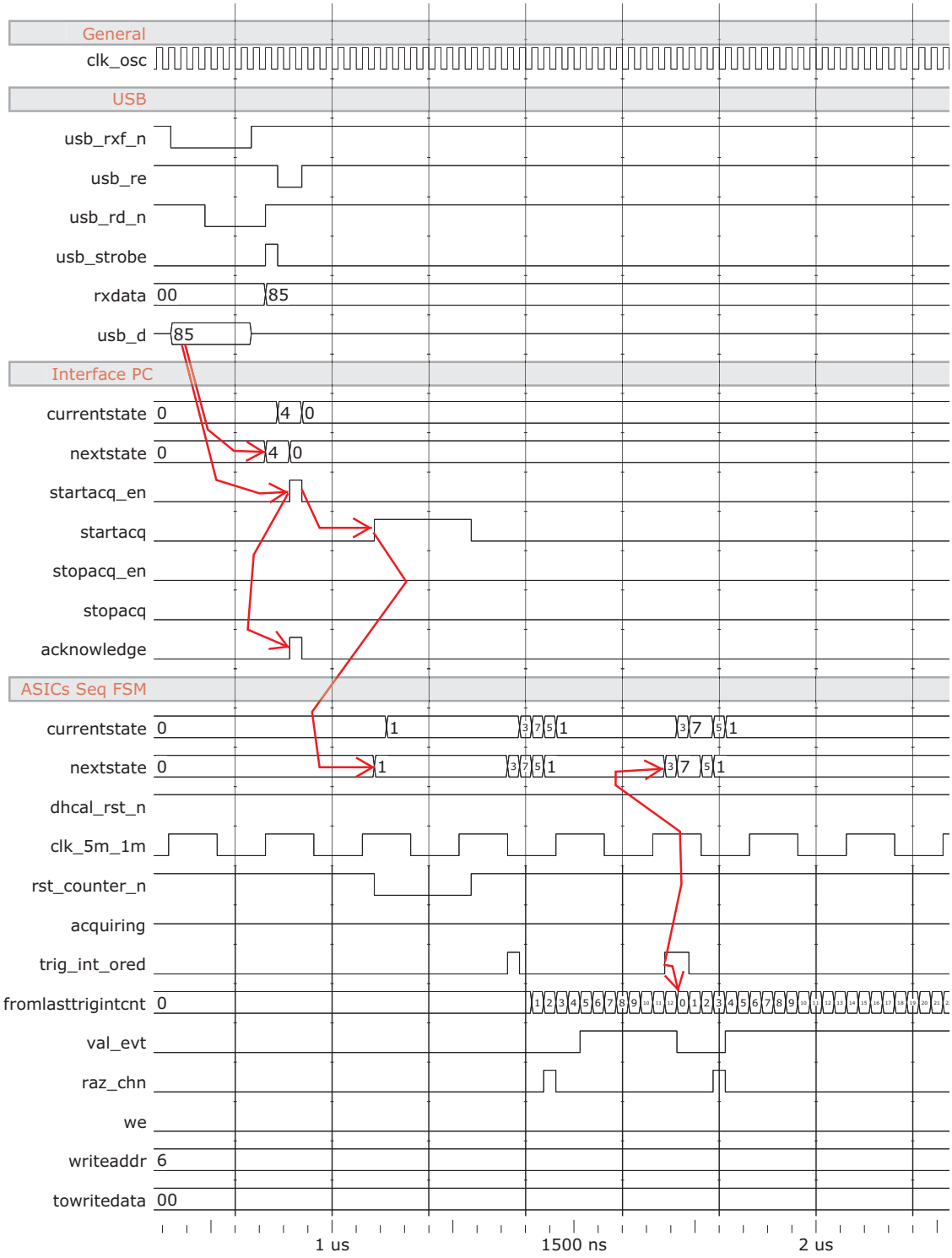


FIGURE B.3 – *Premier volet de la simulation RTL de l'entité de gestion du séquencement des ASICs : la phase d'acquisition*

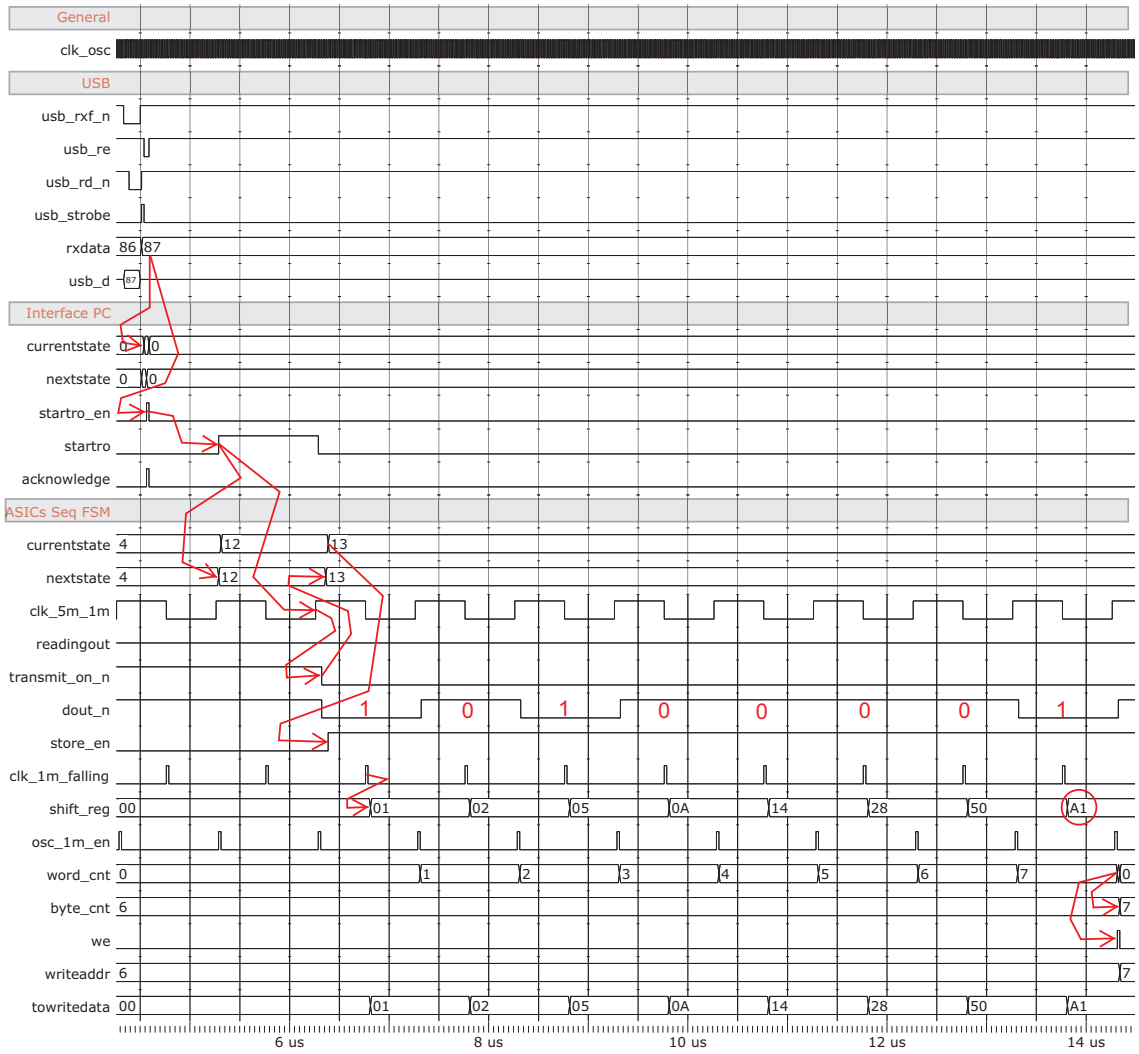


FIGURE B.4 – *Second volet de la simulation RTL de l'entité de gestion du séquencement des ASICs : transition entre l'acquisition et la lecture*

```
  usb_d_o    : out std_logic_vector(7 downto 0); -- bus de données USB
  usb_wr     : out std_logic := '0'; -- décale la FIFO sur front descendant
  writing    : out std_logic := '0' -- processus d'écriture enclenché
  )
End writeMachine;
```

Listing B.3 – Entité d'écriture par USB

La machine d'états de lecture par USB est représentée en B.11.
La table de vérité de la machine d'états d'écriture par USB est représentée en B.12.

B.3 Protocole d'échange entre le FPGA et l'ordinateur

La section 2.3.4.4 décrit le protocole de gestion des échanges entre le FPGA et l'ordinateur. Dans un modèle hiérarchique, on peut considérer que les accès USB sont de bas niveau et que ce protocole constitue donc une couche de transfert de données « au–dessus ».

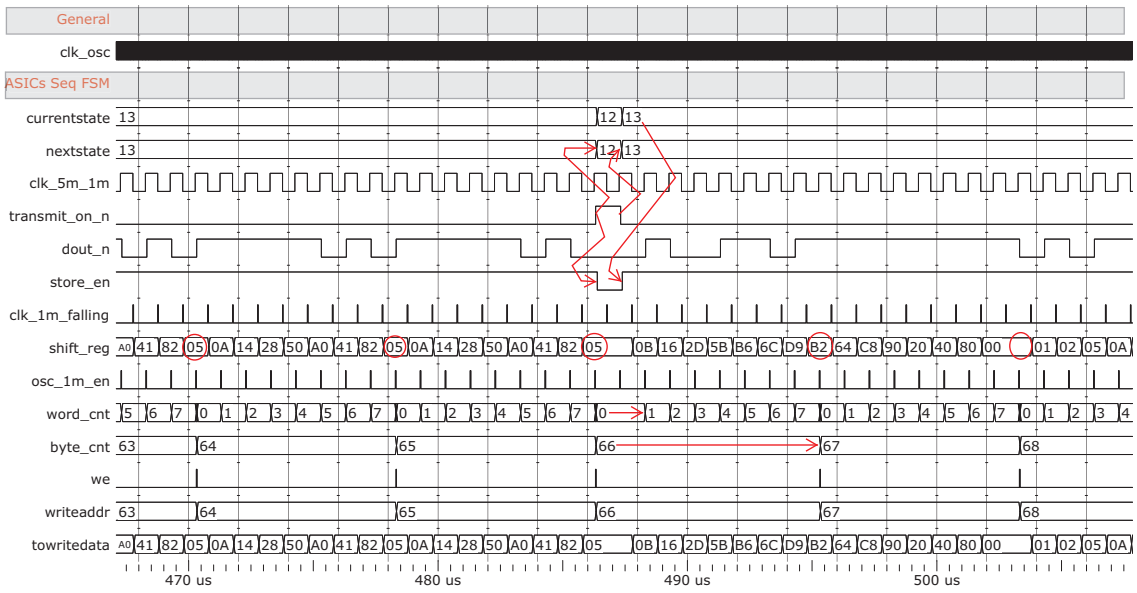


FIGURE B.5 – *Troisième volet de la simulation RTL de l'entité de gestion du séquencement des ASICs : passage de jeton entre ASICs*

Les ports d'entrée/sortie de l'entité de gestion de l'interface avec l'ordinateur par dessus l'USB sont listés en B.4.

```
Entity PC_Interface is
Port(
   clk_osc                 : in std_logic; -- horloge système
   rst                     : in std_logic; -- RAZ globale système
   writing                 : in std_logic; -- drapeau d'écriture de l'USB
   endRW                   : in std_logic; -- fin d'un accès registre
   dataReadFinished        : in std_logic; -- relais du séquencement des ASICs
   busy_pulse              : in std_logic; -- occupé pendant qu'une impulsion dure

-- ************************ SECTION ACCES DE L'ESPION ****************************
   spy_acknowledge         : in std_logic; -- fin d'envoi des données au PC
   spy_time_out            : in std_logic; -- l'espion a échu un temps écoulé
-- *******************************************************************************

   rxData                  : in std_logic_vector(7 downto 0); -- données reçues de
       l'USB
   usb_strobe              : in std_logic; -- validation pour les données provenant
       de l'USB
   sc_q                    : in std_logic; -- sortie du registre de contrôle lent

   --test                    : out std_logic_vector(7 downto 0); -- capacité de debog
   usb_re                  : out std_logic; -- autorisation de lire par l'USB
   usb_we                  : out std_logic; -- données en attente d'écriture par
       l'USB
   regAccess               : out std_logic; -- accès registre
   PC_readWrite_n          : out std_logic; -- accès registre en lecture/écriture
       (1/0)
   sc_ck                   : out std_logic; -- \
   sc_d                    : out std_logic; --  |--> signaux du contrôle lent
   sc_rst_n                : out std_logic; -- /
   crcCheckFailed          : out std_logic; -- statut : données entrantes corrompues
   startAcq_en             : out std_logic; -- \
   stopAcq_en              : out std_logic; --  |
   startRO_en              : out std_logic; --  |
   stopRO_en               : out std_logic; --  |
   readData                : out std_logic; --  |
   releaseStatus_en        : out std_logic; --  |
```

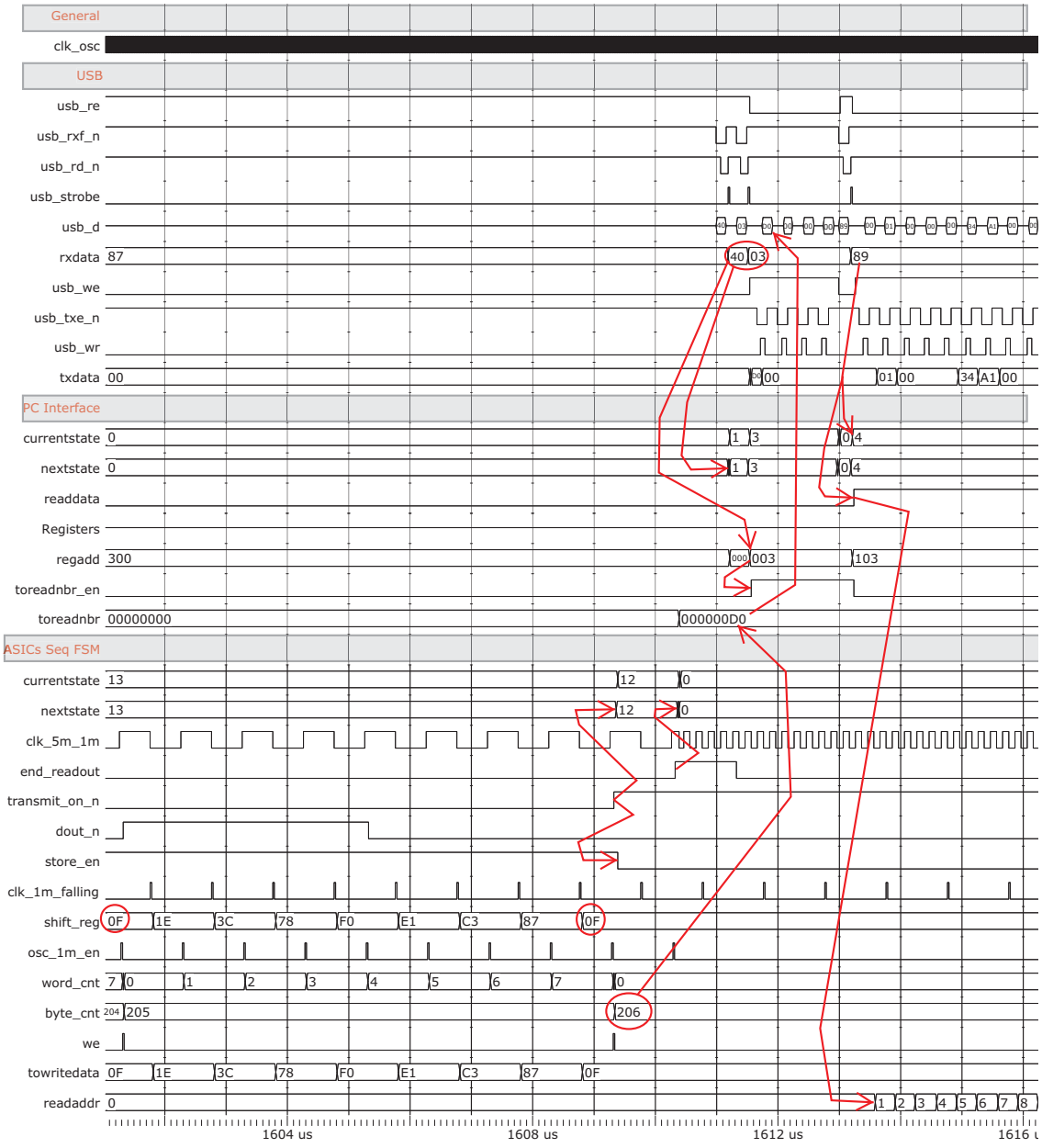


FIGURE B.6 – *Quatrième volet de la simulation RTL de l'entité de gestion du séquencement des ASICs : fin de la lecture et début de l'envoi vers l'ordinateur*

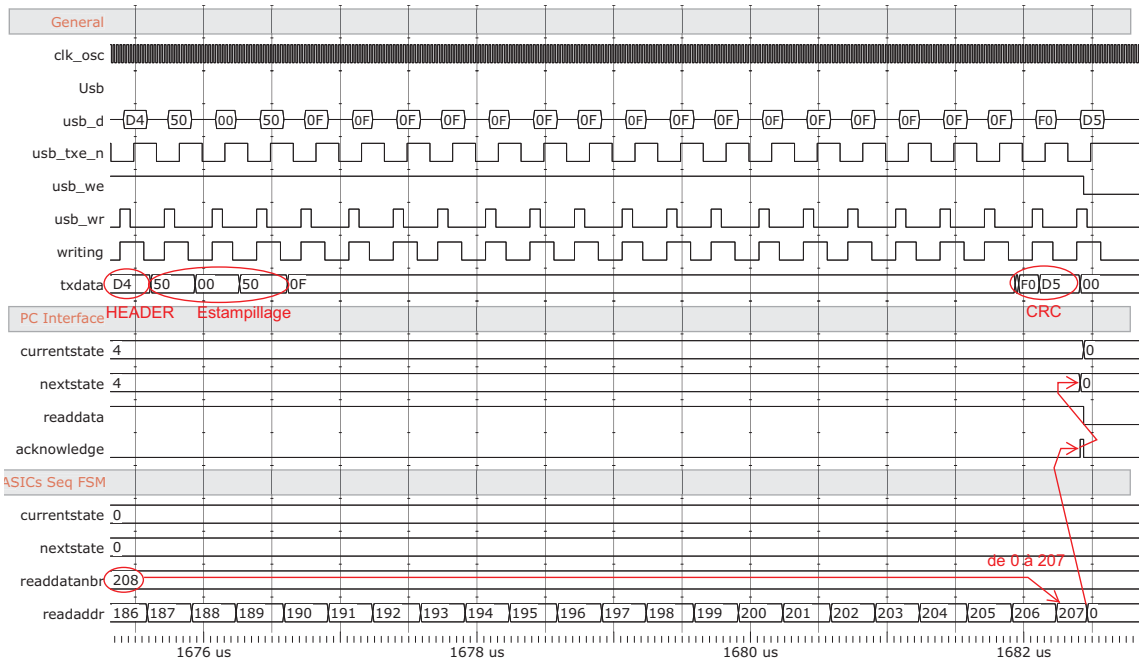


FIGURE B.7 – *Cinquième et dernier volet de la simulation RTL de l'entité de gestion du séquencement des ASICs : fin de l'envoi des données vers l'ordinateur, ajout du CRC*

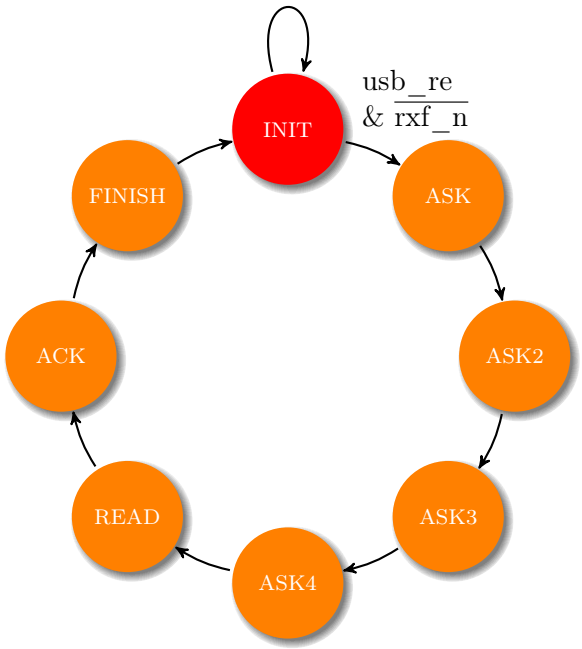


FIGURE B.8 – *Schéma de la machine d'états de lecture USB*

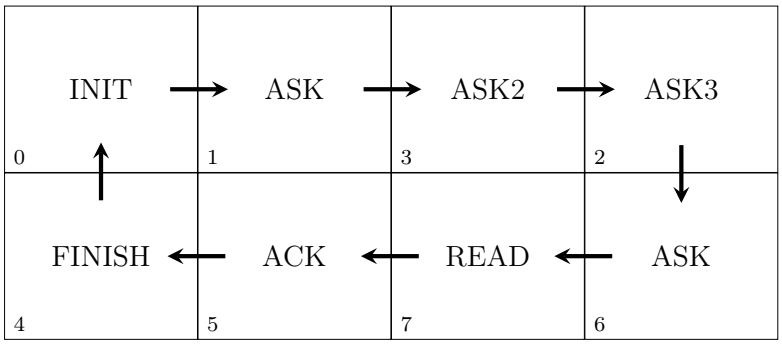


FIGURE B.9 – *Table de vérité de la machine d'états de lecture par USB*

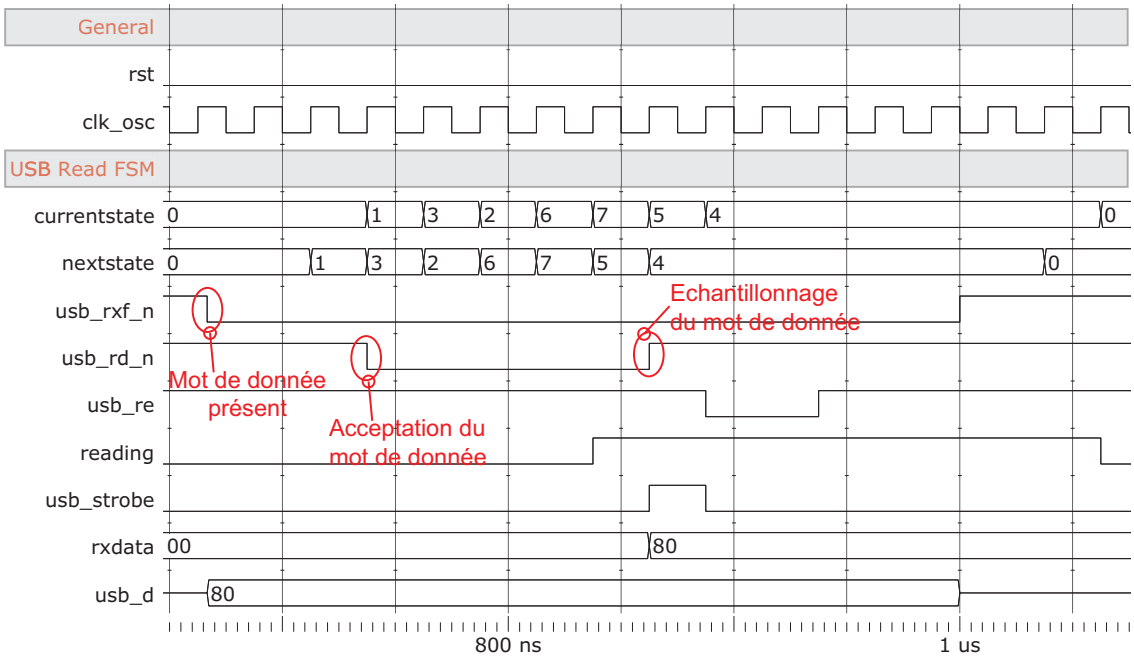


FIGURE B.10 – *Simulation RTL du fonctionnement de l'entité de gestion des accès USB en lecture*

```
    genFakeTrig_en          : out std_logic; --  |--> commandes
    selChan_en              : out std_logic; --  |
    start_gene_en           : out std_logic; --  |
    release_hold_en         : out std_logic; --  |
    razTrigCnt_en           : out std_logic; --  |
    razTrigIntCnt_en        : out std_logic; --  |
    rstASICs_en             : out std_logic; --  |
    rstTimeStamps_en        : out std_logic; --  |
    rst_ext_trig_in_cnt_en  : out std_logic; --  /

-- ************************ SECTION ACCES DE L'ESPION ****************************
    spy_getData_en          : out std_logic;
-- *******************************************************************************

    busyFSM                 : out std_logic; -- accès registres uniquement
    txData                  : out std_logic_vector(7 downto 0)  -- données à envoyer
        par l'USB
    );
End PC_Interface;
```

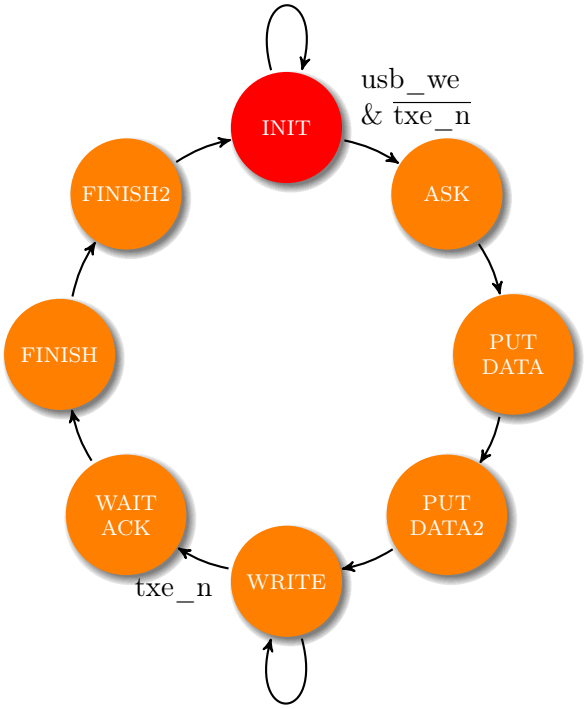


FIGURE B.11 – *Schéma de la machine d'états finis en charge de l'écriture USB*

INIT → 0	ASK → 1	PUT DATA → 3	PUT DATA2 → 2
FINISH2 ← 4	FINISH ← 5	WAIT ACK ← 7	WRITE ← 6

FIGURE B.12 – *Table de vérité de la machine d'états d'écriture USB*

Listing B.4 – Entité de gestion de l'interface avec l'ordinateur par dessus l'USB

La machine d'états chargée de l'interface avec l'ordinateur par dessus l'USB est représentée en B.13.

La table de vérité de la machine d'états chargée de l'interface avec l'ordinateur par dessus l'USB est représentée en B.14.

Aucune simulation particulière n'est présentée pour l'entité de gestion du protocole d'échange avec l'ordinateur puisque c'est un concept qui est utilisé dans la plupart des autres entités. Se référer par exemple à B.1 ou B.4.

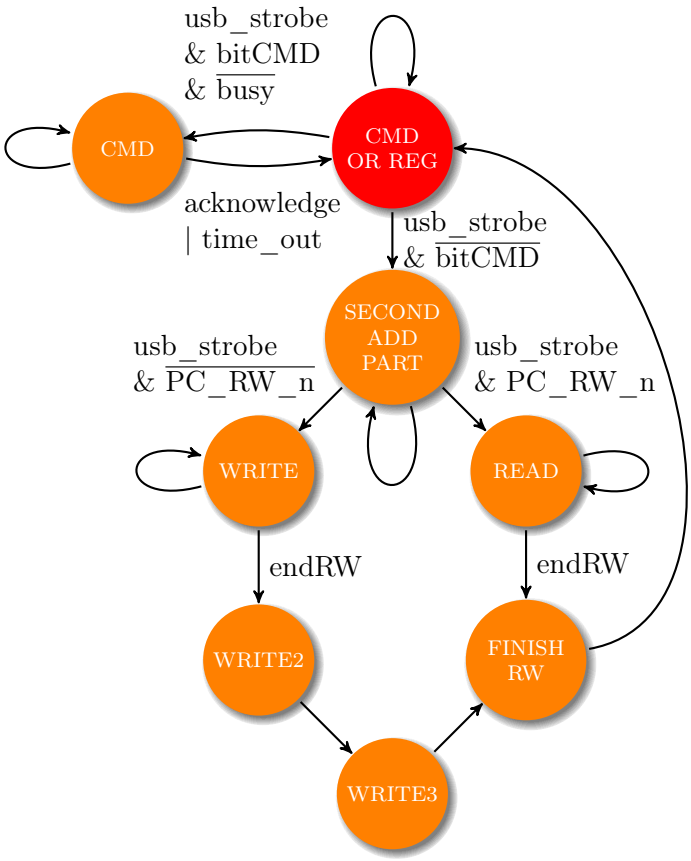


FIGURE B.13 – *Schéma de la machine d'états finis chargée de l'interface avec l'ordinateur par dessus l'USB*

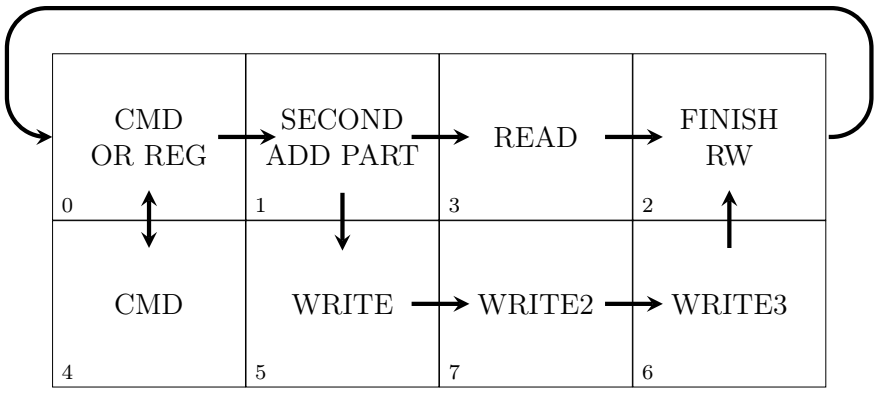


FIGURE B.14 – *Table de vérité de la machine d'états chargée de l'interface avec l'ordinateur par dessus l'USB*

Gestion des registres

La machine d'états de gestion des « accès registre » est représentée en B.15.

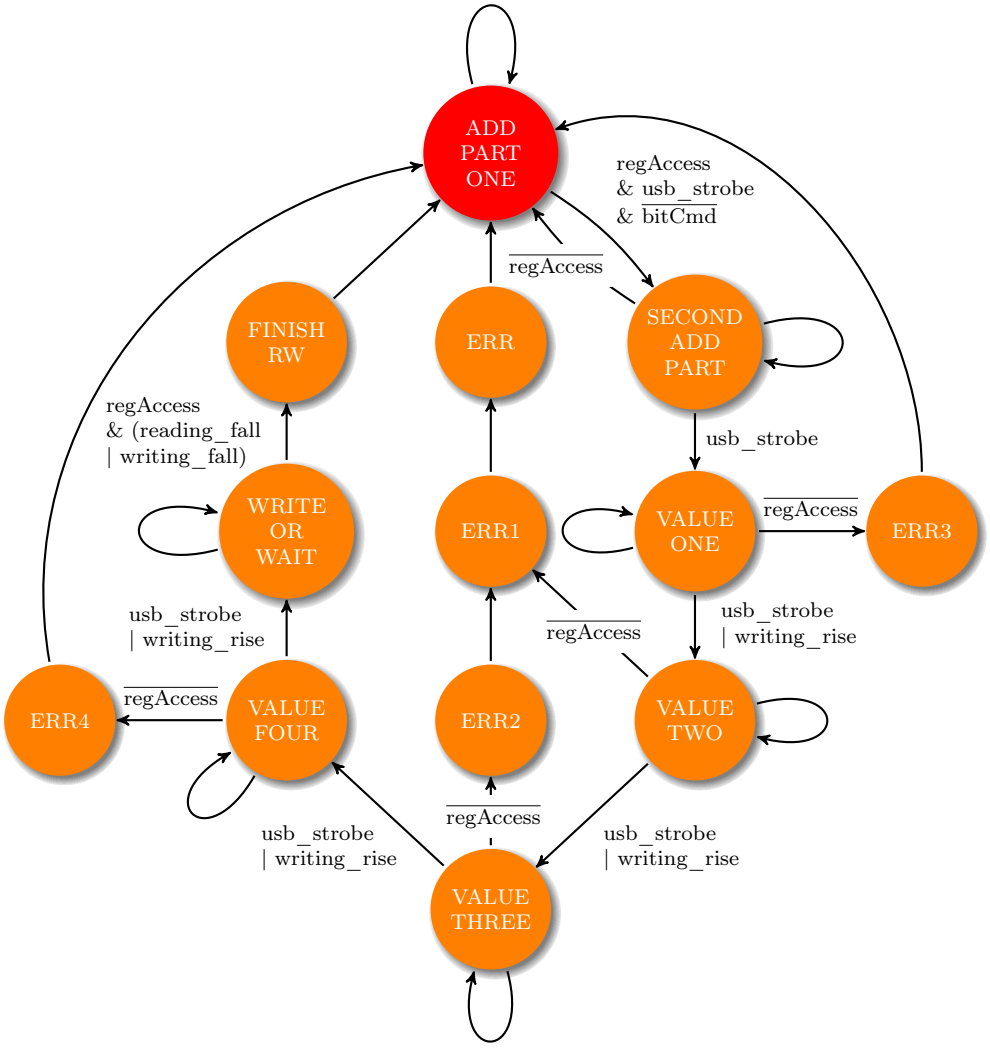


FIGURE B.15 – *Schéma de la machine d'états de gestion des « accès registre »*

La table de vérité de la machine d'états de gestion des « accès registre » est représentée en B.16.

Les figures B.17 B.18 et B.19 représentent différents moments clés de la simulation de l'entité de gestion des « accès registre ».

B.4 Paramétrage des ASICs

Chargement du contrôle lent

Les ports d'entrée sortie de l'entité de chargement de la configuration des ASICs sont listés en B.5.

```
Entity SC_Load_FSM is
```

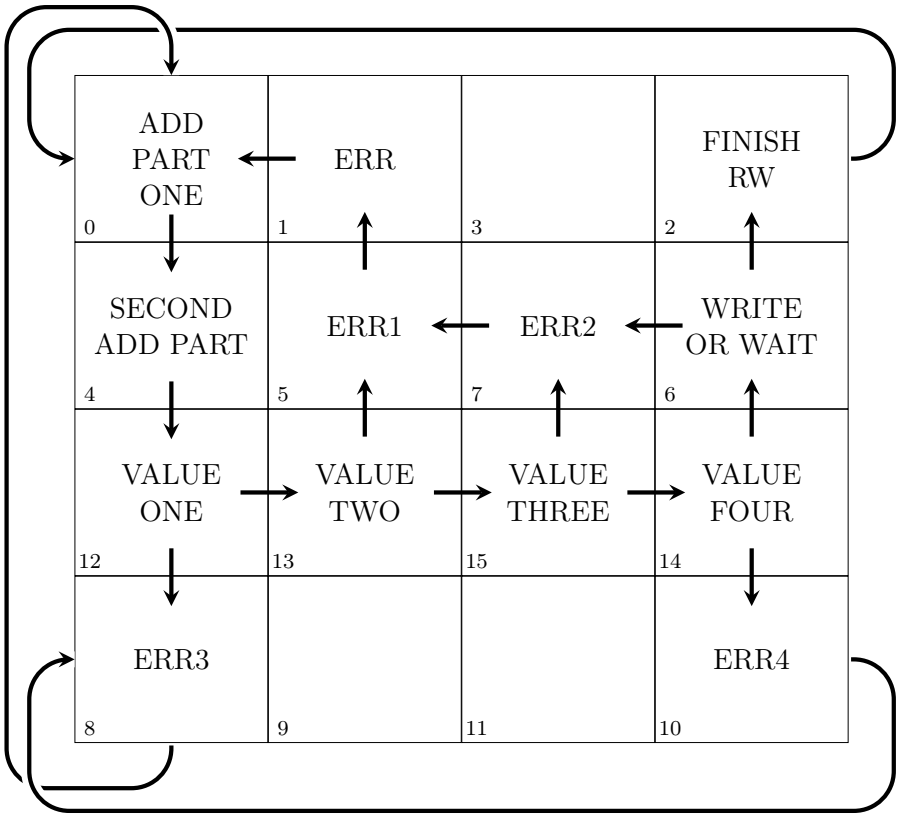


FIGURE B.16 – *Table de vérité de la machine d'états de gestion des « accès registre »*

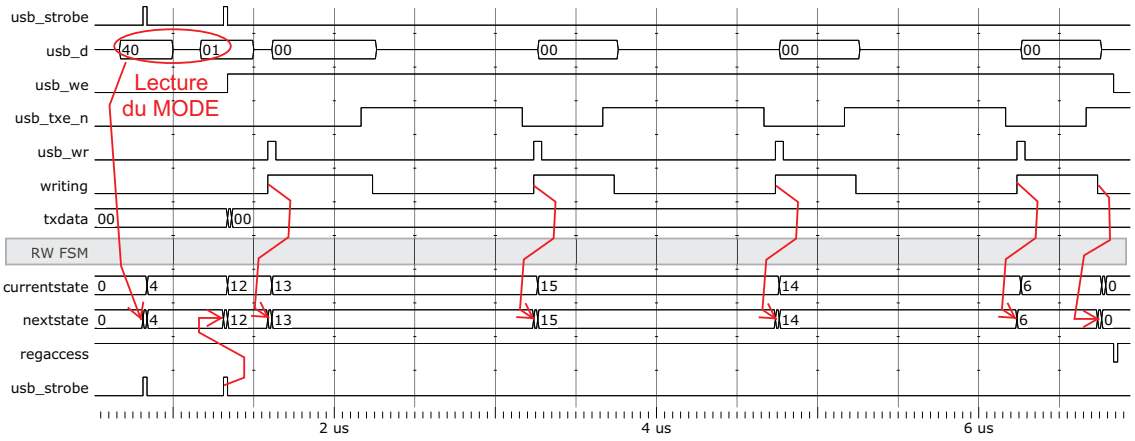


FIGURE B.17 – *Premier volet de la simulation RTL du fonctionnement de l'entité de gestion des « accès registre » : accès du registre mode en lecture*

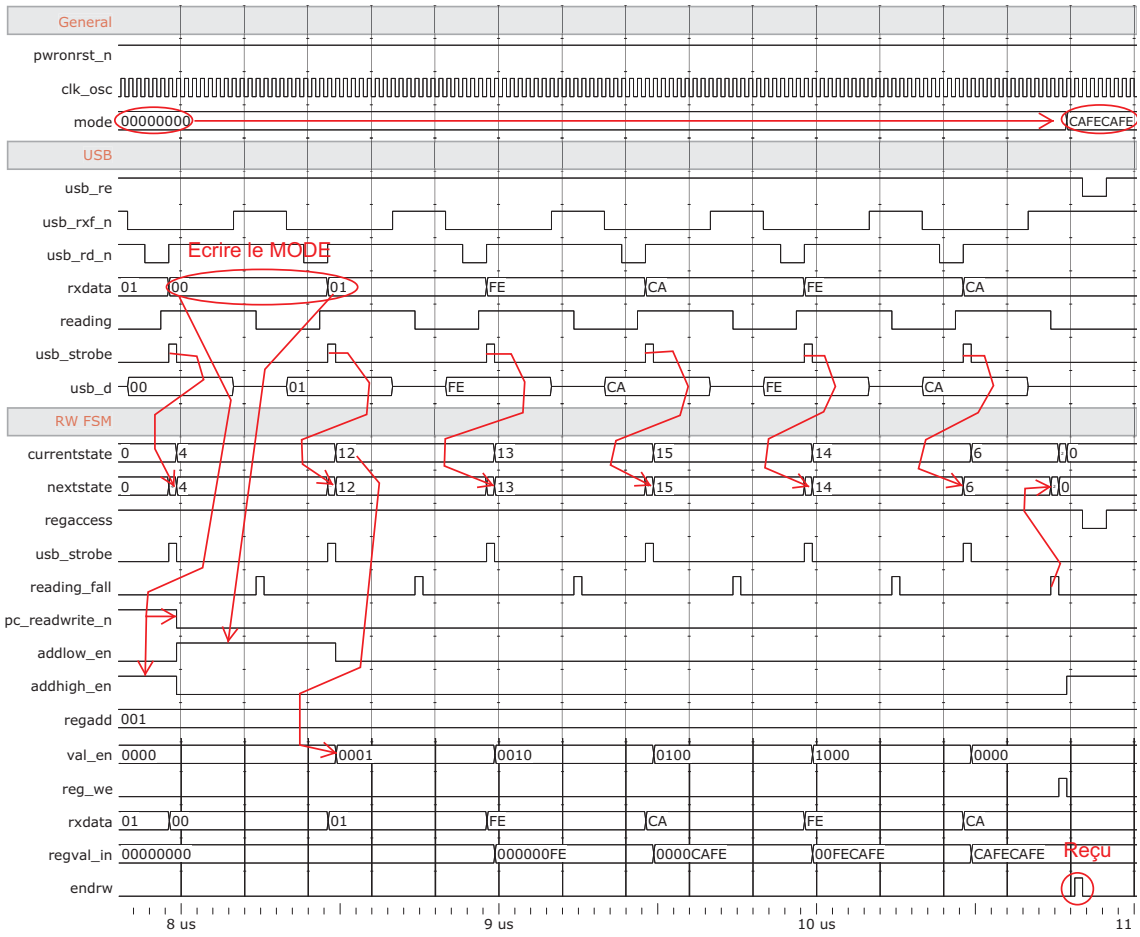


FIGURE B.18 – *Second volet de la simulation RTL du fonctionnement de l'entité de gestion des « accès registre » : écriture d'une valeur dans le registre mode*

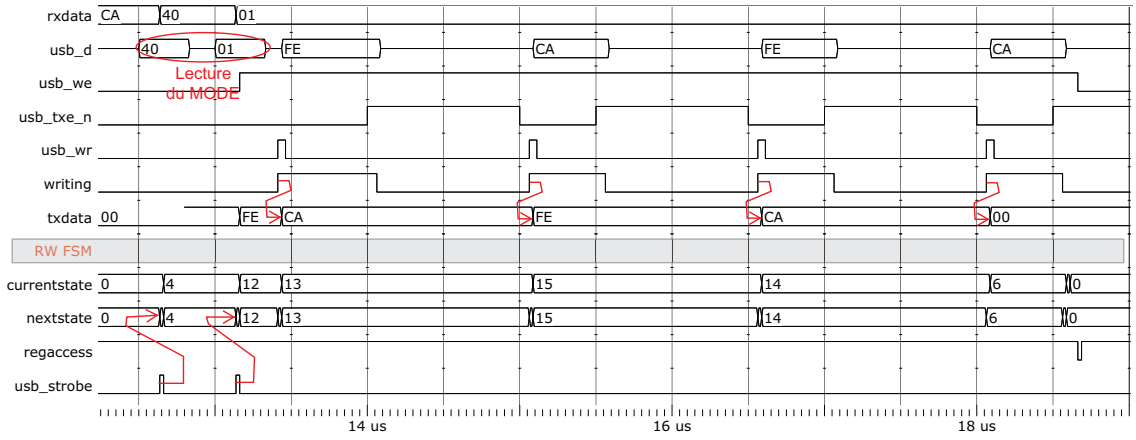


FIGURE B.19 – *Troisième volet de la simulation RTL du fonctionnement de l'entité de gestion des « accès registre » : lecture de la nouvelle valeur affectée au registre mode*

```
Port(
   clk_osc          : in std_logic; -- horloge système
   rst              : in std_logic; -- RAZ globale système
   load_SC          : in std_logic; -- démarrage de l'interface avec le PC
   rxData           : in std_logic_vector((WIDTH - 1) downto 0); -- Données reçues
   usb_strobe       : in std_logic; -- fenêtre de validation des données reçues

   sc_ck            : out std_logic; -- horloge du contrôle lent
   sc_d             : out std_logic; -- données du contrôle lent
   sc_rst_n         : out std_logic; -- RAZ du contrôle lent
   usb_re           : out std_logic; -- autorisation de lire des données par l'USB
   crcCheckFailed   : out std_logic; -- erreur lors du test du CRC
   acknowledge      : out std_logic; -- fin de la réception des données du PC
   busy             : out std_logic; -- occupé à charger le contrôle lent
   time_out         : out std_logic; -- temps expiré
   tmo_cnt          : out std_logic_vector(31 downto 0)  -- compteur de nombre de
       fois où le temps a été écoulé
   )
End SC_Load_FSM;
```

Listing B.5 – Entité de chargement du contrôle lent

La machine d'états de gestion de chargement de la configuration des ASICs est représentée en B.20.

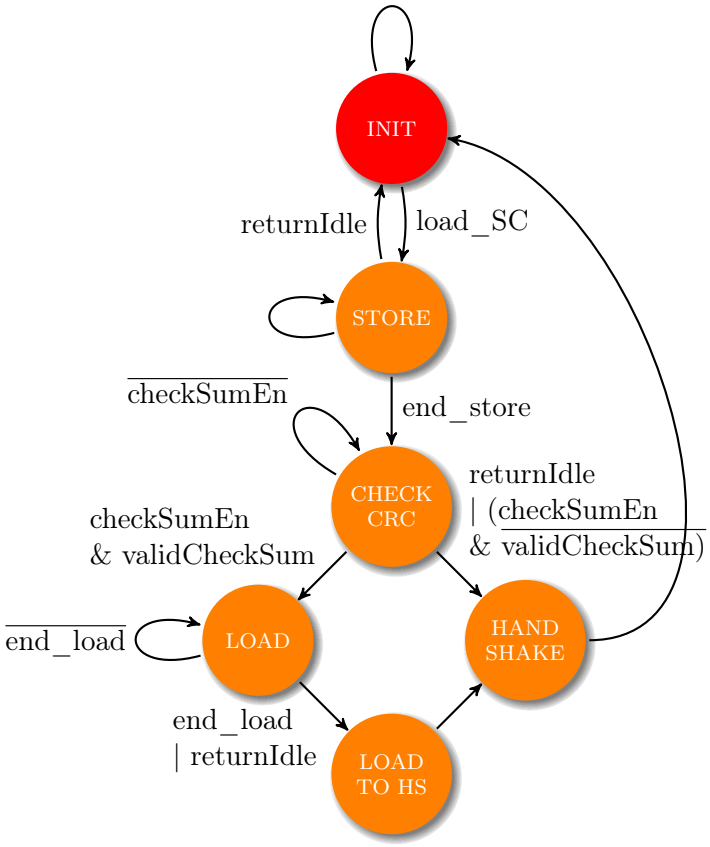


FIGURE B.20 – *Schéma de la machine d'états de chargement de la configuration des ASICs*

La table de vérité de la machine d'états de chargement de la configuration des ASICs est représentée en B.21.

Les figures B.22 B.23 et B.24 représentent différents moments clés de la simulation de l'entité de chargement de la configuration des ASICs.

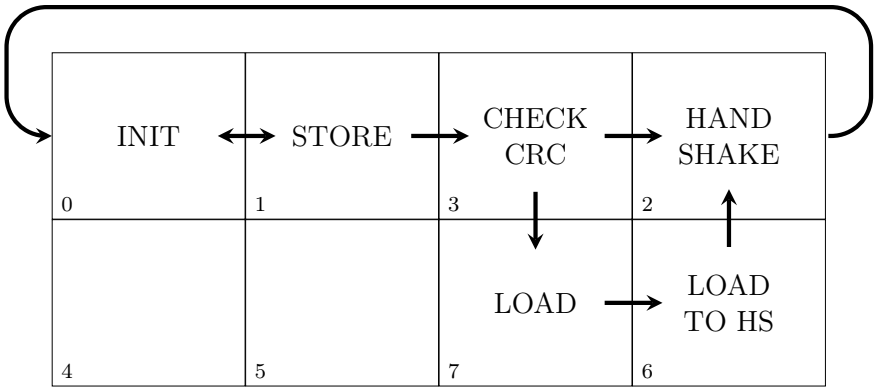


FIGURE B.21 – *Table de vérité de la machine d'états de chargement de la configuration des ASICs*

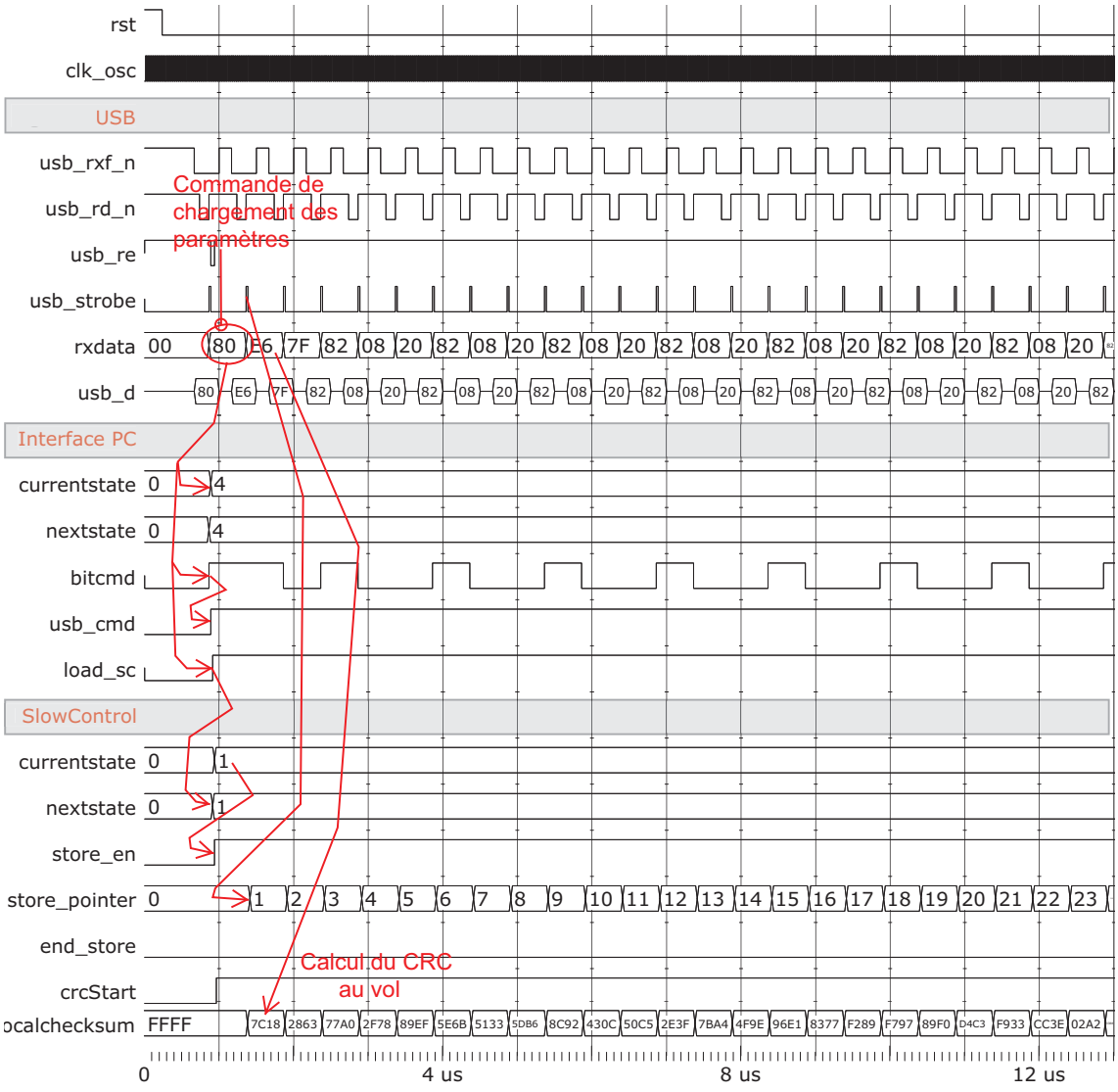


FIGURE B.22 – *Premier volet de la simulation RTL du fonctionnement de l'entité de chargement de la configuration des ASICs : réception depuis le FPGA de la chaîne de configuration*

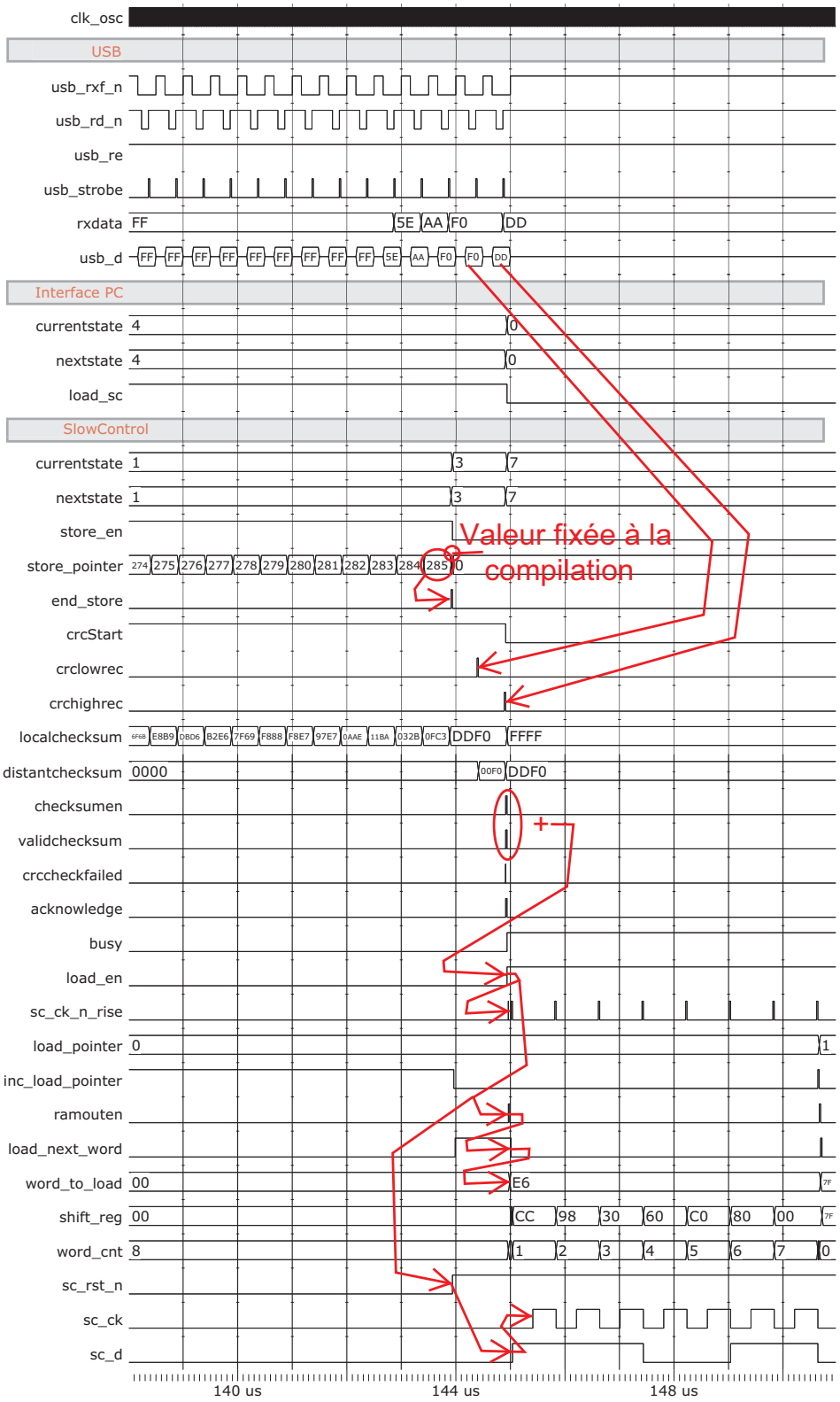


FIGURE B.23 – *Second volet de la simulation RTL du fonctionnement de l'entité de chargement de la configuration des ASICs : fin de la réception, vérification de l'intégrité des données et début du chargement*

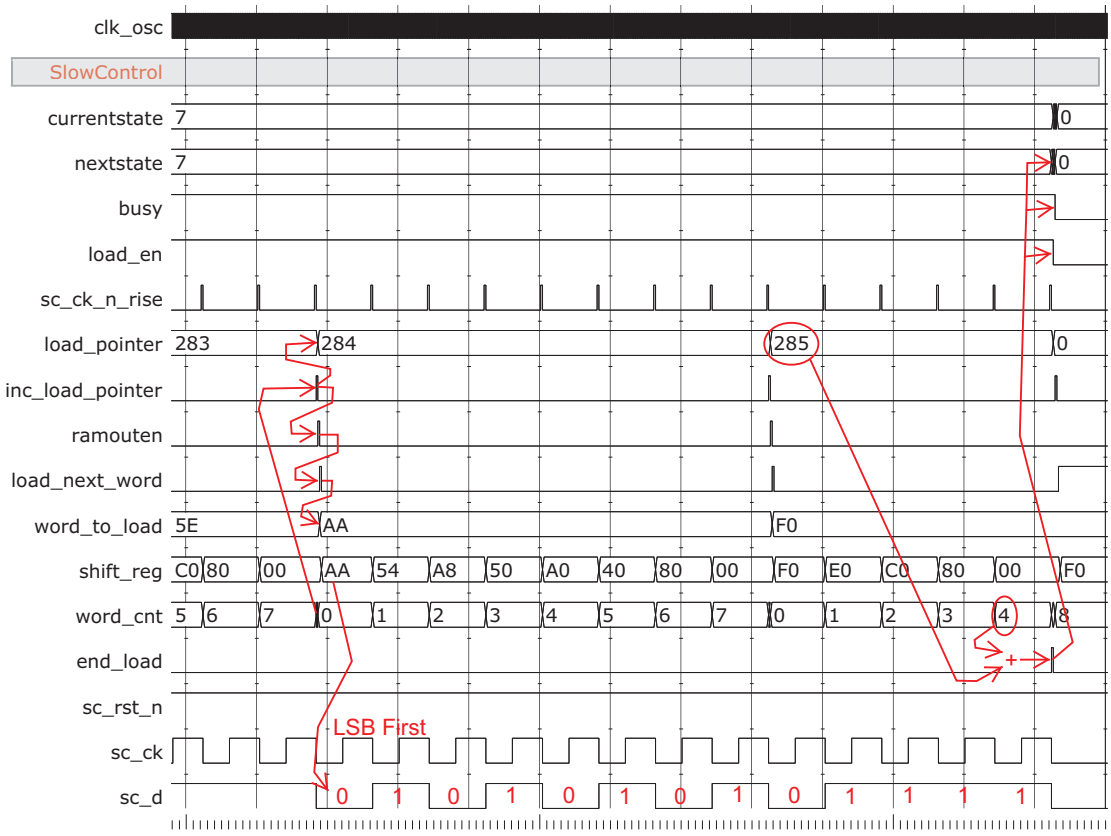


FIGURE B.24 – *Troisième volet de la simulation RTL du fonctionnement de l'entité de chargement de la configuration des ASICs : fin du chargement de la configuration, rendu du relais*

Vérification du contrôle lent

Les ports d'entrée sortie de l'entité de vérification de la configuration des ASICs sont listés en B.6.

```
Entity SC_Check_FSM is
Port(
   clk_osc          : in std_logic; -- horloge système
   rst              : in std_logic; -- RAZ système globale
   check_SC         : in std_logic; -- commande de vérification des paramètres
   readCheckedData  : in std_logic; -- lecture des données de vérification
   sc_q             : in std_logic; -- sortie du registre à décalage du contrôle lent
   writing          : in std_logic; -- drapeau d'écriture de l'USB

   sc_ck            : out std_logic; -- horloge du contrôle lent
   sc_d             : out std_logic; -- données du contrôle lent
   sc_rst_n         : out std_logic; -- RAZ du contrôle lent
--    usb_re           : out std_logic; -- autorisation de lire l'USB (pas
    nécessaire)
   usb_we           : out std_logic; -- données en attente d'écriture par l'USB
   txData           : out std_logic_vector(7 downto 0); -- données envoyées
   acknowledge      : out std_logic; -- relais
   busy             : out std_logic; -- occupé à vérifier
   time_out         : out std_logic; -- temps écoulé
   tmo_cnt          : out std_logic_vector(31 downto 0)  -- compteur de nombre de
       fois où le temps a été écoulé
   )
End SC_Check_FSM;
```

Listing B.6 – Entité de vérification du contrôle lent

La machine d'états de vérification de la configuration des ASICs est représentée en B.25.

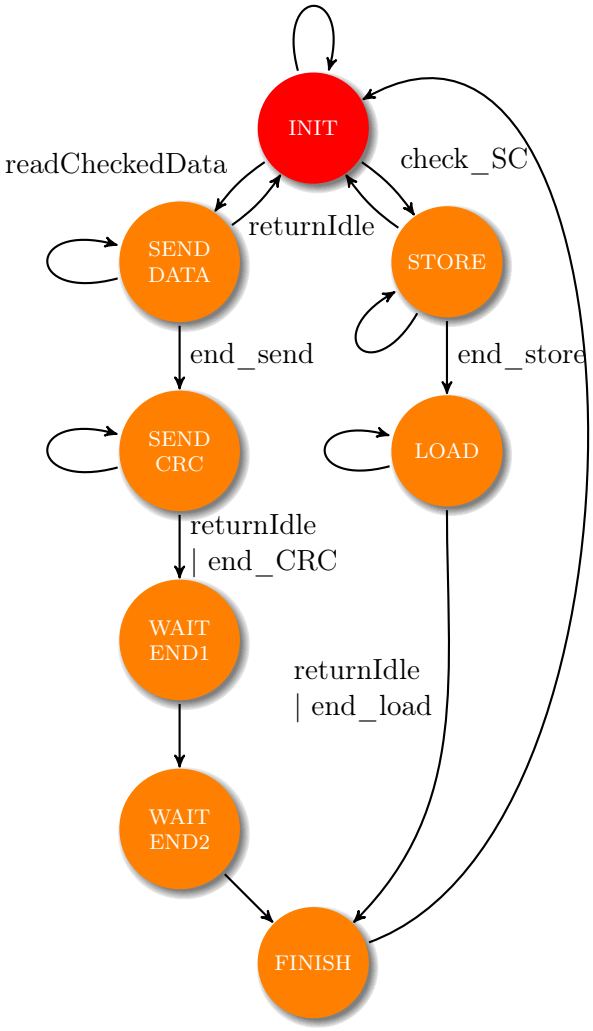


FIGURE B.25 – *Schéma de la machine d'états de vérification de la configuration des ASICs*

La table de vérité de la machine d'états de vérification de la configuration des ASICs est représentée en B.26.

Les figures B.27, B.28, B.29, B.30 et B.31 représentent différents moments clés de la simulation de l'entité de vérification de la configuration des ASICs.

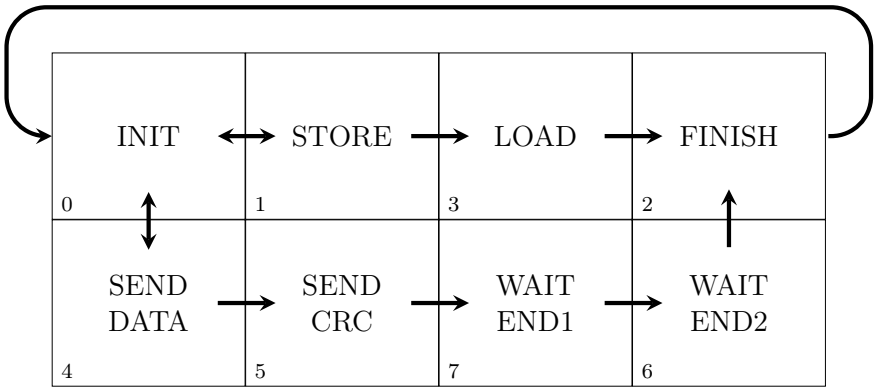


FIGURE B.26 – *Table de vérité de la machine d'états de vérification de la configuration des ASICs*

B.5 Fonctionnalités de test

La DAQ analogique

L'espion

Les ports d'entrée sortie de l'entité de l'espion sont listés en B.7.

```
Entity spy is
Port(
  spy_clk      : in std_logic; -- horloge d'enregistrement l'espion
  rst          : in std_logic; -- RAZ
  spy_data     : in std_logic_vector(15 downto 0); -- données à enregistrer
  spy_start    : in std_logic;
  spy_getData  : in std_logic; -- commande d'envoyer les données au PC
  writing      : in std_logic; -- drapeau d'écriture USB

  txData       : out std_logic_vector(7 downto 0); -- données envoyées
  usb_we       : out std_logic; -- données en attente d'écriture par l'USB
  spy_acting   : out std_logic; -- drapeau d'activité
  acknowledge  : out std_logic; -- acquittement
  time_out     : out std_logic; -- temps échu
  tmo_cnt      : out std_logic_vector(31 downto 0) -- compteur de temps échus
  )
End spy;
```

Listing B.7 – Entité de l'espion

La machine d'états de l'espion est représentée en B.32.
La table de vérité de la machine d'états de l'espion est représentée en B.33.

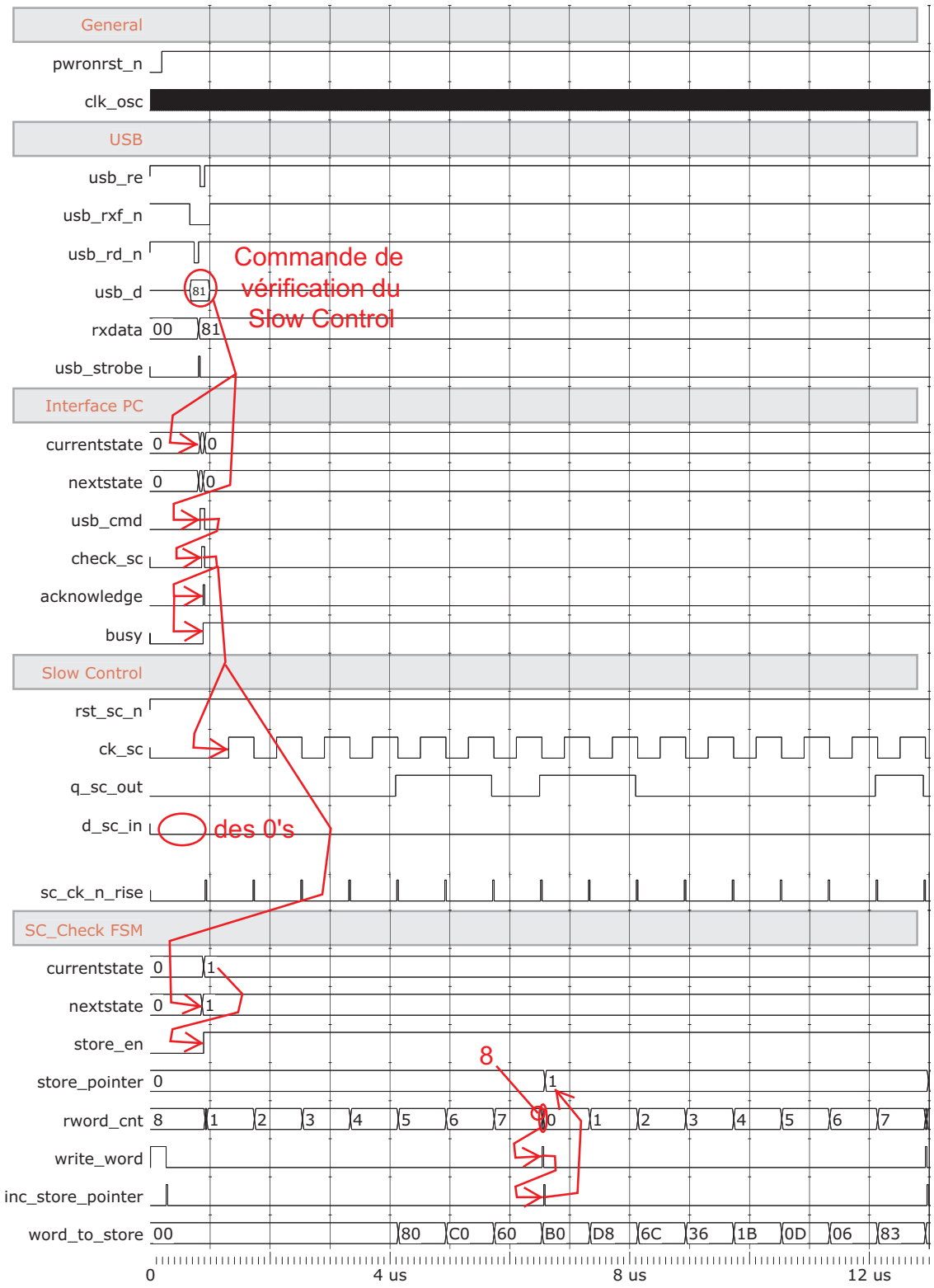


FIGURE B.27 – *Premier volet de la simulation RTL du fonctionnement de l'entité de vérification de la configuration des ASICs : vidange du registre de configuration et stockage de son contenu*

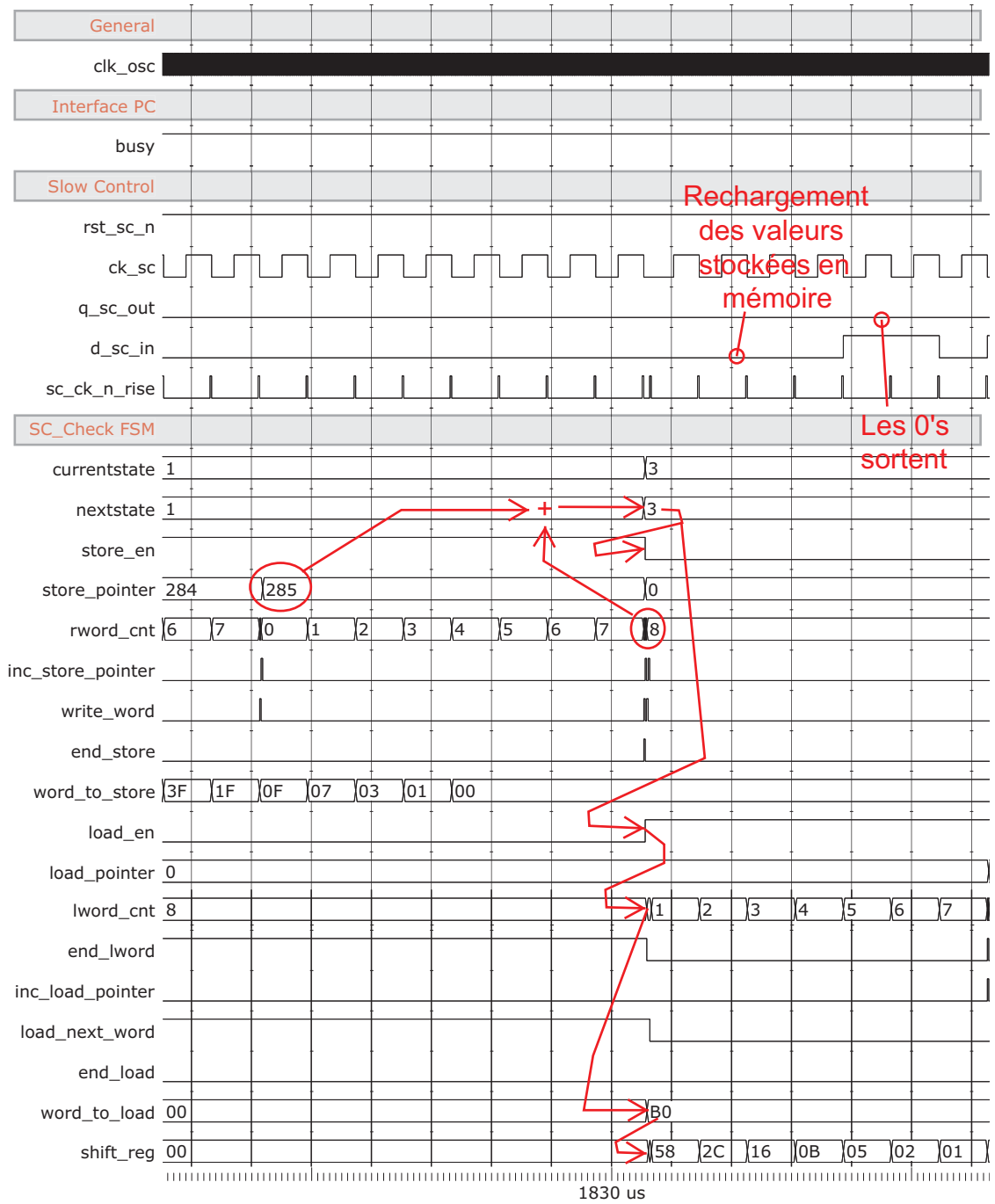


FIGURE B.28 – *Second volet de la simulation RTL du fonctionnement de l'entité de vérification de la configuration des ASICs : passage du stockage au rechargement de la configuration des ASICs*

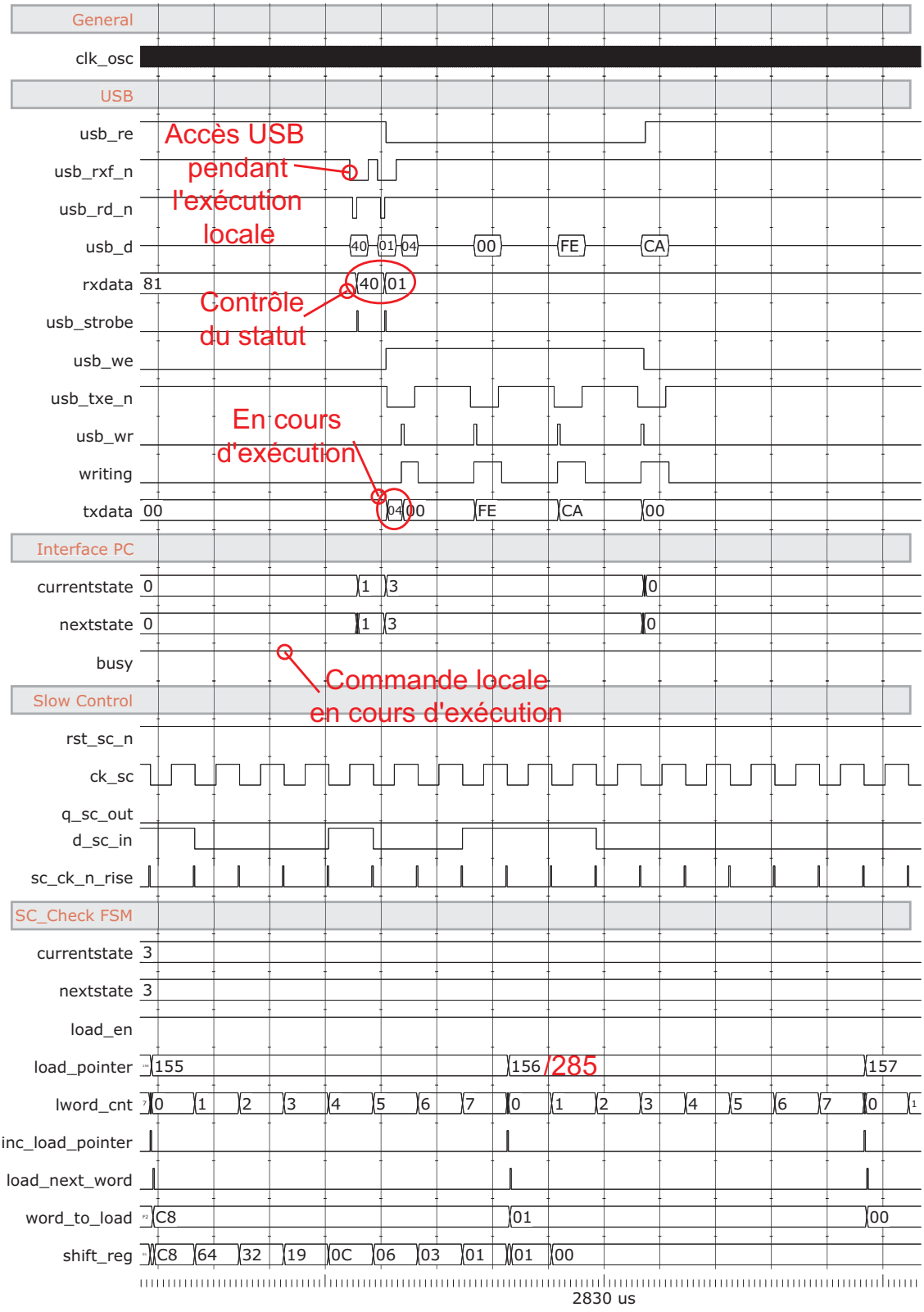


FIGURE B.29 – *Troisième volet de la simulation RTL du fonctionnement de l'entité de vérification de la configuration des ASICs : accès du registre de statut par l'ordinateur pendant le fonctionnement local de la machine d'états*

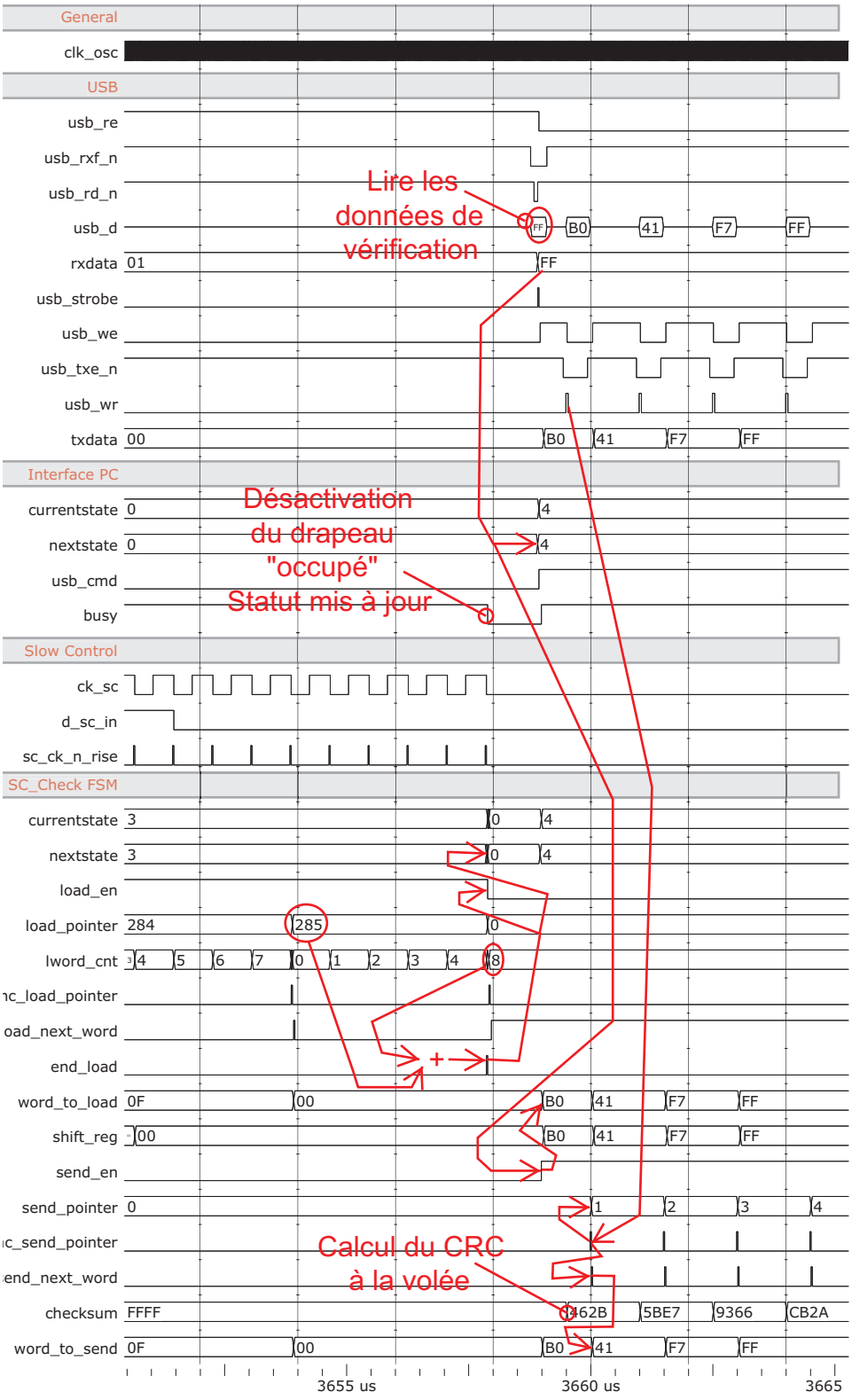


FIGURE B.30 – *Quatrième volet de la simulation RTL du fonctionnement de l'entité de vérification de la configuration des ASICs : fin du rechargement et début de l'envoi des données vers l'ordinateur*

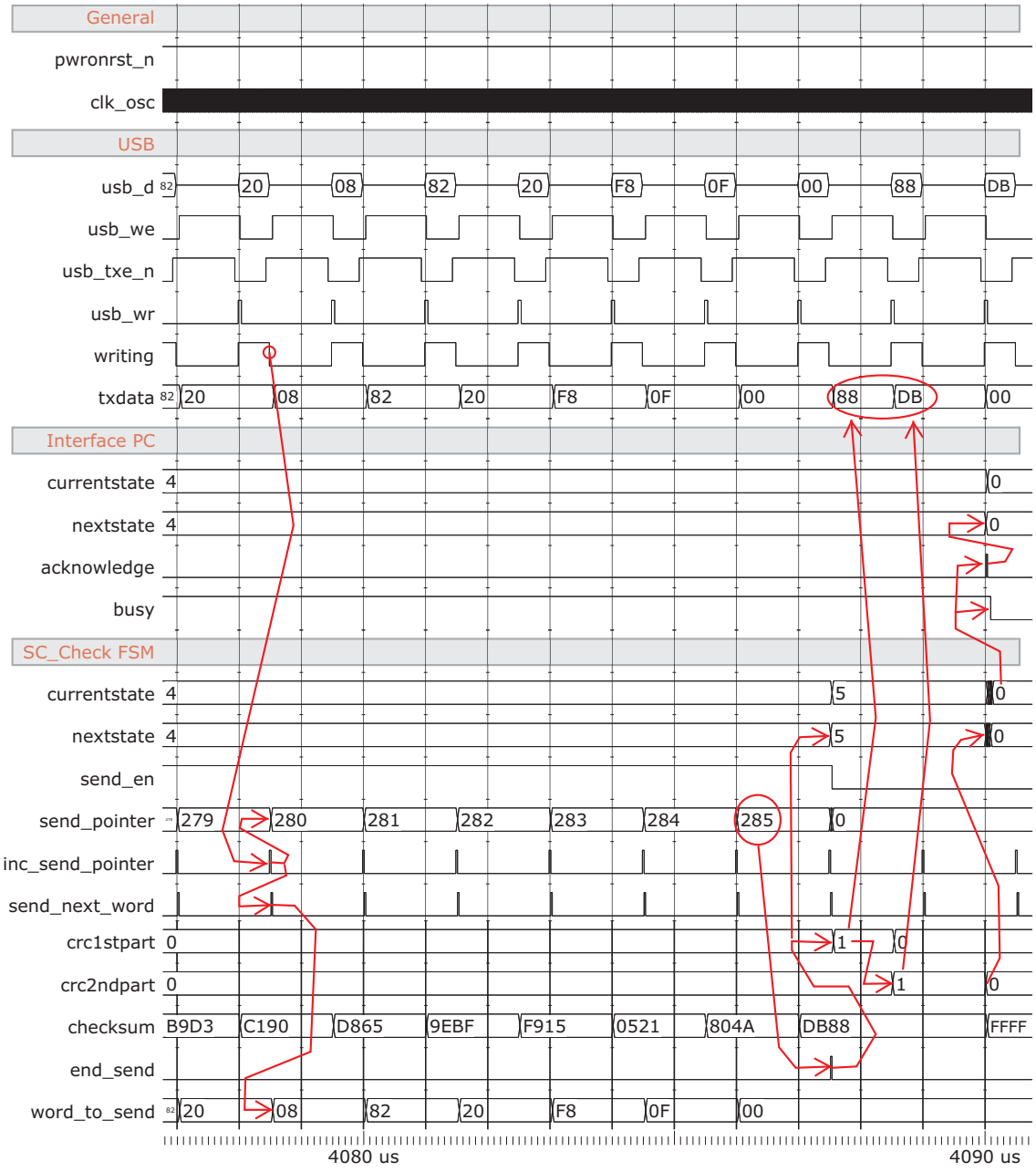


FIGURE B.31 – *Cinquième volet de la simulation RTL du fonctionnement de l'entité de vérification de la configuration des ASICs : fin de l'envoi des données à l'ordinateur, génération du CRC*

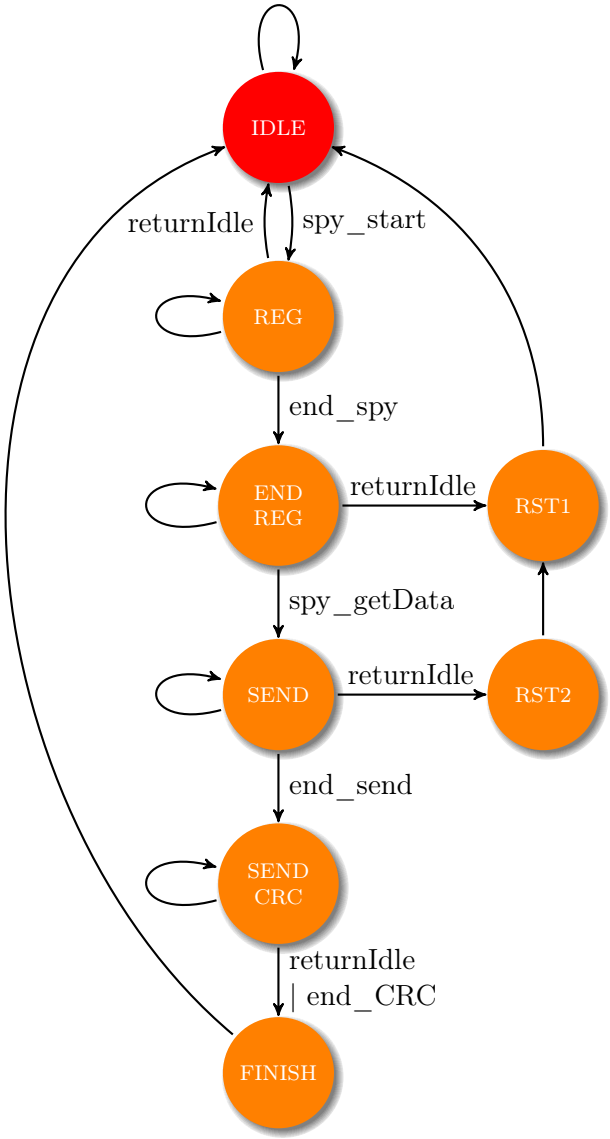


FIGURE B.32 – *Schéma de la machine d'états de l'espion*

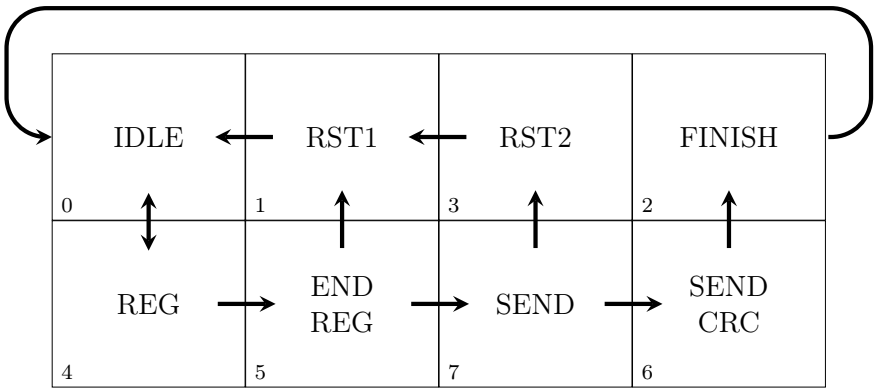


FIGURE B.33 – *Table de vérité de la machine d'états de l'espion*

Bibliographie

[1] Ammosov, V. TESLA [2] digital hadron calorimeter (requirements, status and plans for R&D). *Nuclear Inst. and Methods in Physics Research, A 494*, 1–3 (2002), 355–361.

[2] Ammosov, V., Gapienko, V., Konstantinov, V., Sviridov, Y., and Zaets, V. Study of avalanche mode operation of resistive plate chambers with different gas gap structures. *Nuclear Inst. and Methods in Physics Research, A 441*, 3 (2000), 348–358.

[3] Amsler, C., et al. Atomic and nuclear properties of materials. *Physics Letters B 667*, 1 (2008). [Particle Data Group]. `http://pdg.lbl.gov`.

[4] Amsler, C., et al. Particles detectors. *Physics Letters B 667*, 1 (2008). [Particle Data Group]. `http://pdg.lbl.gov`.

[5] Amsler, C., et al. Passage of particles through matter. *Physics Letters B 667*, 1 (2008). [Particle Data Group]. `http://pdg.lbl.gov`.

[6] Anelli, G. *Conception et caractérisation de circuits intégrés résistants aux radiations pour les détecteurs de particules du LHC en technologies CMOS submicroniques profondes*. PhD thesis, INPG [3], 2000. `http://www.cern.ch/RD49/RD49Docs/anelli/these.html`.

[7] Appleby, R., et al. The 2 mrad Horizontal Crossing Angle IR [4] Layout for a TeV [5] ILC, 2005. SLAC-PUB-11372. `http://www.slac.stanford.edu/pubs/slacpubs/11750/slac-pub-11372.html`.

[8] Bagger, J., et al. U.S. Linear Collider Technology Options Study. Tech. rep., Accelerator Sub-committee, U.S. Linear Collider Steering Group, mar. 2004. Accelerator Technology Options Report SLAC-R-827. `http://www.slac.stanford.edu/xorg/accelops`.

[9] Barish, B. The Path Forward to a Linear Collider and Critical Points of Contact between the GDE [6] and Physics/Detector Effort. ECFA [7] 2008, Warsaw, jun. 2008. `http://ilcagenda.linearcollider.org/getFile.py/access?contribId=3&sessionId=1&resId=1&materialId=slides&confId=2642`.

2. **T**eV **E**nergy **S**uperconducting **L**inear **A**ccelerator : Collaboration technologique pour l'ILC.
3. **I**nstitut **N**ational **P**olytechnique de **G**renoble.
4. **I**nteraction **R**egion : région d'interaction.
5. **T**era**e**lectron**V**olt : un billion d'électronVolt (eV).
6. **G**lobal **D**esign **E**ffort : équipe en charge du projet ILC.
7. **E**uropean **C**ommittee for **F**uture **A**ccelerators : collaboration européenne pour les accélérateurs du futur.

[10] Bartsch, V., Postranecky, M., Targett-Adams, C., Warren, M., and Wing, M. Estimation of radiation effects in the front-end electronics of the electromagnetic calorimeter. *LC Notes LC-DET-2007-013* (2007). http://www-flc.desy.de/lcnotes/notes/LC-DET-2007-013.pdf.

[11] Brient, J., and Videau, H. The Calorimetry at the future e^+e^- linear collider. In *Proc. of the APS/DPF/DPB Summer Study on the Future of Particle Physics (Snowmass 2001)* (Snowmass, Colorado, jun. 2001), N. Graph, Ed. http://www.slac.stanford.edu/econf/C010630/papers/E3047.PDF, arXiv:hep-ex/0202004.

[12] Cussans, D. G. A Trigger/Timing Logic Unit for ILC Test-beams. In *Proceedings of the 1st Topical Workshop on Electronics for Particle Physics* (Prague, Czech Republic, sep. 2007). TWEPP07 [8]. http://indico.cern.ch/getFile.py/access?contribId=11&sessionId=29&resId=0&materialId=paper&confId=11994.

[13] Fabjan, C., and Ludlam, T. Calorimetry in high energy physics. Tech. rep., CERN, mar. 1982. CERN-EP/82-37. http://ccdb4fs.kek.jp/cgi-bin/img/allpdf?198205086.

[14] Future Technology Devices International Ltd. AN232B-03 Optimizing D2XX Data Throughput, feb. 2006. http://www.ftdichip.com/Documents/AppNotes/AN232B-03_D2XXDataThroughput.pdf.

[15] Future Technology Devices International Ltd. AN232B-04 Data Throughput, Latency and Handshaking, feb. 2006. http://www.ftdichip.com/Documents/AppNotes/AN232B-04_DataLatencyFlow.pdf.

[16] Gay, P., et al. Energy flow with high granularity calorimeters. In *AIP* [9] *Conference Proceedings* (Sitges, apr. 2001), vol. 578, pp. 904–907. LCWS00 [10]. http://www-lc.fnal.gov/proceedings/d5_calorimetry/pascal_gay_lcws_eflow.ps.

[17] Hommels, B. Update : CALICE test slab & DIF [11] developments. CALICE DAQ meeting, jul. 2007. http://ilcagenda.linearcollider.org/getFile.py/access?contribId=13&sessionId=0&resId=3&materialId=slides&confId=2743.

[18] ILC Reference Design Report, aug. 2007. http://www.linearcollider.org/cms/?pid=1000437.

[19] International Technology Recommendation Panel. Executive Summary, aug. 2004. http://www.interactions.org/pdf/ITRPexec.pdf.

[20] JLC-I (the green book), dec. 1992. KEK-REPORT-92-16. http://www-jlc.kek.jp/JLC.proposal-e.html.

[21] Keating, M., and Bricaud, P. *Reuse Methodology ManualManual, For System on a Chip Designs (Third Edition)*. Kluwer Academic Publishers, 2002.

[22] Knoll, G. F. *Radiation detection and measurement*. Wiley, New York, 1989.

[23] **D**etector **O**utline **D**ocument for the **L**arge **D**etector **C**oncept, jul. 2006. LC-DET-2006-xxx. http://www.ilcldc.org/documents/dod/outline.pdf.

[24] Lesea, A. Continuing Experiments of Atmospheric Neutron Effects on Deep Submicron Integrated Circuits. White Paper 286, Xilinx Inc., mar. 2008. MRQW [12] 2008. http://www.xilinx.com/support/documentation/white_papers/wp286.pdf.

8. **T**opical **W**orkshop on **E**lectronics in **P**article **P**hysics : atelier sur l'actualité de l'électronique pour la physique des particules, ancien atelier pour l'électronique du LHC et des futurs expériences (LECC).
9. **A**merican **I**nstitute of **P**hysics : institut de physique des états unis d'Amérique.
10. **L**inear **C**ollider **W**ork**S**hop : atelier sur le collisionneur linéaire.
11. **D**etector **I**nter**F**ace : carte d'électronique d'interface spécifique au détecteur.
12. **M**icroelectronics **R**eliability & **Q**ualification **W**orkshop.

[25] Matsunaga, H. Performance of a Lead/Plastic-Scintillator Tile/Fiber Calorimeter. *Nuclear Inst. and Methods in Physics Research, A 487*, 3 (apr. 2002), 291–307. http://www-jlc.kek.jp/subg/cal/lib/HCAL2000NIM.ps.

[26] Matsunaga, H. Software Studies of GLD Calorimeter. In *Conf. Proc. of LCWS06, Indian Institute of Science, Bangalore, India* (Indian Institute of Science, Bangalore, India, mar 2006). LCWS06. http://indico.cern.ch/materialDisplay.py?contribId=95&sessionId=5&materialId=paper&confId=568.

[27] Nosochkov, Y., et al. ILC Extraction Line for 14 mrad Crossing Angle, 2005. SLAC-PUB-11591. http://www.slac.stanford.edu/pubs/slacpubs/11000/slac-pub-11591.html.

[28] Nosochkov, Y., and Ferrari, A. Beam Losses in the Extraction Line of a TeV e^+e^{--} Linear Collider with a 20 mrad Crossing Angle, 2005. SLAC-PUB-11791, EUROTEV-REPORT-2005-025. http://www.slac.stanford.edu/pubs/slacpubs/11750/slac-pub-11791.html.

[29] Richard, F. The World Wide Study Roadmap for ILC Detectors. LCWS07, may 2007. http://ilcagenda.linearcollider.org/getFile.py/access?contribId=30&sessionId=23&resId=1&materialId=slides&confId=1296.

[30] Seryi, A. Change request to modify BDS [13] to single IR 14 mrad push-pull configuration. CCR#23 [14], nov. 2006. http://www-project.slac.stanford.edu/ilc/acceldev/beamdelivery/rdr/docs/CCR_push-pull/CCR_push-pull.doc.

[31] Swift, G., Pecko, D., Fabula, J., and Padovani, R. Effects on Process Scaling on Leading Edge Deep Submicron CMOS Technology. In *Conf. Proc. of 2008 MRQW* (Manhattan Beach, CA, USA, dec. 2008). MRQW 2008. http://www.aero.org/conferences/mrqw/2007-papers/VI-3.pdf.

[32] TESLA : The Superconducting Electron-Positron Linear Collider with an Integrated X-Ray Laser Laboratory Technical Design Report, 2001. DESY-2001-011. http://tesla.desy.de/new_pages/TDR_CD/start.html.

[33] The ILC steering committee ILCSC [15]. Call to detector **L**etters **O**f **I**ntent for the ILC. [internal], oct. 2007. http://physics.uoregon.edu/~lc/wwstudy/lois.

[34] Videau, H. A W-Si electromagnetic calorimeter for Higgs physics at a linear collider. In *American Institute of Physics Conference Series* (FermiLab, jan. 2001), vol. 578, pp. 928–935. LCWS00. http://llr.in2p3.fr/activites/physique/flc/VIDEAU_Calor.ps.

[35] Videau, H. How do we test the enery flow. In *Proceedings of LCWS 2002* (Jeju Island, Korea, aug. 2003), J. Kang and K. P. S. S.K. Oh, Eds. LCWS02. http://llr.in2p3.fr/activites/physique/flc/jeju/hv-eflow.pdf.

[36] Xilinx Inc. *Spartan-3 Generation Configuration User Guide*. San Jose, CA, jul. 2008. User Guide 322 v1.4. http://www.xilinx.com/support/documentation/user_guides/ug332.pdf.

[37] Yu, J., et al. World Wide ILC Detector R&D Report (DCR [16]) : Beam Test Section. UTA-HEP/LC-0022. http://www-hep.uta.edu/hep_notes/lc/lc_0022.pdf.

13. **B**eam **D**elivery **S**ystem : fourniture du faisceau.
14. **C**onfiguration **C**hange **R**equest : étude de changement de configuration.
15. **ILC S**teering **C**ommittee : comité de direction de l'ILC.
16. **D**etector **C**oncept **R**eport.

Liens internet

Liens concernant le contexte de l'implication de l'EDHCAL [17] dans l'ILC :

- International Linear Collider : `http://www.linearcollider.org`
- International Linear Detector concept : `http://www.ilcild.org`
- LDC : `http://www.ilcldc.org`
- CALICE : `https://twiki.cern.ch/twiki/bin/view/CALICE/WebHome`
- CALICE France : `http://llr.in2p3.fr/activites/physique/flc/calice.html`
- EUDET : `http://www.eudet.org`
- LLR : `http://llr.in2p3.fr`
- LAL : `http://lal.in2p3.fr`
- IPNL : `http://lyoinfo.in2p3.fr`
- LAPP : `http://wwwlapp.in2p3.fr`

Autres ressources internet liées à la collaboration ILC :

en Europe :

- EUDET Documents : `http://www.eudet.org/e26/`
- ILC @ DESY : `http://ilc.desy.de`
- Linear Collider notes : `http://www-flc.desy.de/lcnotes`
- TESLA notes : `http://flash.desy.de/reports_publications/index_eng.html`
- TESLA @ DESY : `http://tesla-new.desy.de`
- ATF2 [18] @ LLR : `http://llr.in2p3.fr/activites/physique/atf2`
- IHEP publications : `http://web.ihep.su/library/pubs/all-e.htm`

en Asie :

- ILC @ KEK : `http://lcdev.kek.jp`
- ILC-Asia : `http://lcdev.kek.jp/ILC-AsiaWG`
- ILC-Asia notes : `http://lcdev.kek.jp/ILCAsiaNotes`
- GLD : `http://ilcphys.kek.jp/gld`
- ATF : `http://atf.kek.jp`
- ATF2 : `http://lcdev.kek.jp/ATF2`

aux U.S.A :

17. **E**uropean DHCAL : calorimètre hadronique digital européen.
18. **A**ccelerator **T**est **F**acility : études concernant l'accélération, situé à KEK.

- WWS [19] Home : `https://wiki.lepp.cornell.edu/ilc/bin/view/Public/WWS/WebHome`
- ALCPG [20] : **A**merican **L**inear **C**ollider **P**hysics **G**roup : `http://physics.uoregon.edu/~jimbrau/LC/ALCPG`
- ILC @ FNAL : `http://ilc.fnal.gov`
- ILC @ SLAC [21] : `http://www-project.slac.stanford.edu/ilc`
- SLAC ILC Technical Notes (2005-) : `http://www-project.slac.stanford.edu/ilc/techinfo/SILC_Index`
- Linear Collider Collaboration Technical Notes (1998-2005) : `http://www-project.slac.stanford.edu/lc/ilc/TechNotes/LCCNotes/lcc_notes_index.htm`
- Next Linear Collider Collaboration Technical Notes (1994-98) : `http://www-project.slac.stanford.edu/lc/local/NLCNotes/nlcnotes_index.htm`
- UTA [22] LC Notes : `http://www-hep.uta.edu/hep_notes/linear-collider.html`

RPC

- Groupe de travail sur les RPC pour ATLAS [23] à l'INFN [24] Rome : `http://research.roma2.infn.it/~atlas/listrpc.php`

Electronique et radiations :

- Projet RD49 au CERN : `http://rd49.web.cern.ch`
- Groupe responsable de la création d'électronique durcie pour ATLAS : `http://atlas.web.cern.ch/Atlas/GROUPS/FRONTEND/radhard.htm`
- Bureau de la NASA [25] pour la conception d'électronique numérique : `http://klabs.org`
- Groupe commun NASA/GSFC [26] d'analyse de l'effet des radiations (REAG) : `http://radhome.gsfc.nasa.gov`
- Documents Xilinx sur l'électronique pour le spatial et la défense : `http://www.xilinx.com/esp/aerospace.htm`

19. **W**orld **W**ide **S**tudy of the physics and detectors for Future e^+e^- linear colliders : comité de coordination entre les principales collaborations pour les accélérateurs du futur (ICFA, ECFA, ACFA, ALCPG).
20. **A**merican **L**inear **C**ollider **P**hysics **G**roup : groupe nord américain de physique pour le collisionneur linéaire.
21. **S**tanford **L**inear **A**ccelerator **C**enter : laboratoire américain situé à San Francisco comportant un accélérateur linéaire (le SLC).
22. **U**niversity of **T**exas **A**rlington : laboratoire américain, base du WWS.
23. **A** **T**oroïdal **L**HC **A**pparatu**S** : détecteur situé sur le LHC au CERN.
24. **I**stituto **N**azionale di **F**isica **N**ucleare : institut national de physique nucléaire italien.
25. **N**ational **A**eronautics and **S**pace **A**dministration : institut national américain d'aéronautique et d'espace.
26. **G**oddard **S**pace **F**light **C**enter.

Table des figures

1.1 *Comparaison entre l'ILC, le LHC et le TeVatron.* 4
1.2 *Schéma de l'ILC.* 5
1.3 *Calendrier global du projet ILC tel qu'il est plannifié en 2008.* 6
1.4 *Vue de l'expérience CMS montrant l'organisation de ses sous–détecteurs.* . . 8
1.5 *Fraction d'énergie perdue par longueur de radiation par un électron ou un positron dans du plomb en fonction de son énergie ; détails des contributions des différents phénomènes intervenant.* 9
1.6 *Taux de perte d'énergie moyen des muons dans le cuivre en fonction de* $\beta\gamma=(pc)/(Mc^2)$. 10
1.7 *Section efficace totale et élastique d'un pion sur un proton, en fonction du moment du pion.* 10
1.8 *Vue simplifiée du détecteur LDC.* 12
1.9 *Vue coupée de GLD.* 12
1.10 *Vue de l'ILD.* 12
1.11 *Vue d'une gerbe électromagnétique dans un calorimètre à échantillonnage.* . 13
1.12 *Simulation du passage d'un électron de 24* GeV *dans du fer.* 14
1.13 *Epaisseurs de fer nécessaires pour contenir 95 % et 99 % de l'énergie d'une gerbe hadronique, sur la base de données provenant de deux grands détecteurs à neutrinos, ainsi que de la paramétrisation de* Bock. 15
1.14 *Dépôt d'énergie longitudinal et transverse de hadrons de 15 et 100* GeV *dans du marbre, de l'aluminium, du fer et du tungstène, en fonction de la profondeur de pénétration dans le matériau (en unités de* λ_I*).* 16
1.15 *Courbe dans un évènement à quatre jets de la masse d'un di–jet en fonction d'un autre, pour des valeurs de terme statistique de* $60\%/\sqrt{E}$ *(à gauche) et de* $30\%/\sqrt{E}$ *(à droite).* 17
1.16 *Simulation de la réponse à des pions de différentes énergies d'un scintillateur parfait, structuré en cellules d'1* cm^2*, lu, soit en sommant l'énergie des cellules touchées, soit en comptant leur nombre, soit en utilisant un réseau de neurones entraîné pour optimiser la résolution en énergie.* 19
1.17 *Comparaison des résolutions en énergie sur la mesure des jets obtenues en simulation pour différentes énergies dans le cas d'une lecture « analogique » et d'une lecture par comptage, en fonction de la dimension d'une cellule de détection.* 20

1.18 *Comparaison des résolutions en énergie obtenues en simulation dans le cas d'une lecture « analogique », d'une lecture binaire et d'une lecture semi–digitale 3 bits.* 20
1.19 *structure GRPC.* 21
1.20 *structure MicroMeGaS.* 22

2.1 *Structure en temps du faisceau de l'ILC.* 26
2.2 *Schéma d'ensemble d'une voie de l'électronique des trois calorimètres électromagnétique (ECAL), hadronique analogique (AHCAL) et hadronique digital (DHCAL) de l'ILD comparé avec une voie de l'électronique des calorimètres électromagnétique et hadronique de CMS.* 28
2.3 *Dessin de l'ASIC HaRDROC1.* 30
2.4 *Photo au microscope de la puce de l'ASIC HaRDROC1.* 30
2.5 *Schéma fonctionnels des trois ASICs d'ILD réalisés par la collaboration.* . . 31
2.6 *Schéma fonctionnel du latch utilisé dans l'ASIC HaRDROC1.* 35
2.7 *Schéma de la simulation fonctionnelle de la machine d'états d'acquisition de HaRDROC1 en début et fin d'acquisition.* 38
2.8 *Schéma de la simulation fonctionnelle de la machine d'états de lecture de HaRDROC1 en début et fin de lecture.* 40
2.9 *Schéma de la carte DHCAL1 comprenant quatre circuits intégrés avec : (1) une interface USB pour la configuration et le pilotage de la voie d'acquisition numérique (2) une interface SCSI pour le pilotage de la voie d'acquisition analogique.* 43
2.10 *Schéma bloc de l'architecture de la FIFO USB↔Série FTDI FT245B.*(© 2005 FTDI Limited, cf. A.3) 47
2.11 *Schéma de principe de fonctionnement de la lecture externe de la voie analogique de l'ASIC HaRDROC1.* 48
2.12 *Les 2 possibilités d'empilements pour la carte DHCAL1 : dans la configuration 6 couches, toutes les cellules sont routées sur un seul plan contre deux dans la configuration 8 couches.* 49
2.13 *Vue des deux types de routage adoptés pour les ASICs HaRDROC1 dans les configuration 6 et 8 couches. Sur le schéma de droite, on voit l'ASIC numéro 3 dont les entrées ont été routées sur deux plans différents afin d'améliorer la diaphonie.* 50
2.14 *Détail du banc de mesure pour la diaphonie inter–pistes sur la carte DHCAL1.* 50
2.15 *Différentes vues de la carte DHCAL1 au fur et à mesure des étapes de sa réalisation.* 52
2.16 *Schéma de l'ensemble du microprogramme de DHCAL1.* 53
2.17 *Cycle de lecture par l'USB avec le composant FT245.* (© 2005 FTDI Limited, cf. A.3) 57
2.18 *Cycle d'écriture par l'USB avec le composant FT245.* (© 2005 FTDI Limited, cf. A.3) 57
2.19 *Principe de fonctionnement du pilote de la carte DHCAL1.* 65

3.1 *Figure à l'oscilloscope des signaux de données de configuration en sortie du premier ASIC de la chaîne présente sur la carte DHCAL1.* 71
3.2 *Représentation de la variation de phase entre l'horloge et les données du chemin de configuration sur la carte DHCAL1.* 72
3.3 *Schéma de principe du système d'injection de charge dans les ASICs de la carte DHCAL1.* 73
3.4 *Figure à l'oscilloscope des signaux des sorties des mises en formes d'un ASIC de la carte DHCAL1.* 73

3.5 *Figure à l'oscilloscope montrant l'injection de charge en entrée de l'ASIC réalisée par le front descendant du signal de démarrage de l'acquisition.* . . . 75
3.6 *Figure à l'oscilloscope montrant le cycle de déclenchements démarré par le front descendant du signal de démarrage de l'acquisition et continué par le signal de déclenchement interne des ASICs.* 76
3.7 *Figure à l'oscilloscope des signaux concernant la phase de lecture des ASICs de la carte DHCAL1.* 77
3.8 *Schéma de principe de l'efficacité de déclenchement en fonction du seuil, à signal injecté constant.* 77
3.9 *Courbe de seuil du canal numéro 23 de l'ASIC 1 (avant correction, gain unitaire).* 78
3.10 *Distribution des seuils sur l'ensemble des canaux des ASICs 1, 2 et 4 avant calibration des gains et sur l'ASIC 1 après calibration.* 79
3.11 *Courbe de distribution des largeurs de seuil de l'ASIC numéro 1 après calibration des gains.* 79
3.12 *Distribution du bruit sur les ASICs de la carte DHCAL1.* 82
3.13 *Courbes de gains des canaux 4 et 32 des ASICs 2, 3 et 4 de la carte DHCAL1.* 82
3.14 *Figure à l'oscilloscope montrant un cycle de lecture réalisée avec le système VTC.* 83
3.15 *Figure à l'oscilloscope montrant la sortie analogique du HaRDROC1 avant et après application du signal de maintien externe provenant de la VTC.* . . 84
3.16 *Vue d'une prise de données effectuée avec l'interface Labview développée pour la VTC.* 84
3.17 *Figure à l'oscilloscope montrant la sortie analogique de l'ASIC avant et après le démarrage de la lecture analogique réalisée avec le système VTC.* 85
3.18 *Courbes de gains des canaux 4 et 32 des ASICs 2, 3 et 4 de la carte DHCAL1 réalisées à partir des données prises par le système VTC.* 86
3.19 *Taux de perte d'énergie moyen des muons dans le cuivre en fonction de* $\beta\gamma=(pc)/(Mc^2)$. 87
3.20 *Taux de perte d'énergie moyen dans l'hydrogène liquide, l'hélium gazeux, le carbone, l'aluminium, le fer, l'étain et le plomb.* 87
3.21 *Courbes de dispersion de l'énergie déposée dans différentes épaisseurs de silicium par des pions de 500* MeV. 88
3.22 *Courbe de distribution de la réponse en charge à des particules au minimum ionisant d'une GRPC soumise à une différence de potentiel de 8.4* kV *pour un seuil de l'électronique de lecture de 2.2* mV. 89
3.23 *Vue de l'installation réalisée pour les tests avec des cosmiques.* 92
3.24 *Courbes représentant l'efficacité d'une GRPC en fonction de la haute tension, comparée selon le type de contact pour la haute tension (graphite ou lycron).* 93
3.25 *Courbes représentant la multiplicité d'une GRPC en fonction de la haute tension, comparée selon le type de contact pour la haute tension (graphite à gauche et lycron à droite).* 93
3.26 *Tests avec des cosmiques : vue d'une particule traversant trois plans RPC.* . 94
3.27 *Tests avec des cosmiques : vue d'une particule traversant cinq plans RPC.* . 95
3.28 *Courbe représentant l'efficacité du prototype de DHCAL composé de 4 GRPC, en fonction de la haute tension, après reconstruction des traces (contact haute tension en lycron).* 95

3.29 *Vues de l'installation réalisée pour les tests en faisceau.* 96
3.30 *Vues générale et en détail, sur une période de prise de données de 3h, de la dispersion du contenu du compteur différentiel entre le dernier déclenchement interne d'un ASIC et le déclenchement externe.* 100
3.31 *Vue des données acquises par la carte DHCAL1 pendant une période d'acquisition avec ou sans scintillateur pour le déclenchement externe.* 101
3.32 *Visualisation du dépôt d'énergie d'un muon faisceau avec un angle de 30 degrés dans le calorimètre (sans absorbeur) composé de 4 plans RPC.* 102
3.33 *Visualisation du dépôt d'énergie d'un pion de 6*GeV *dans le calorimètre composé de 4 plans RPC avec l'absorbeur en fer.* 102
3.34 *Vue des données acquises par la carte DHCAL1 pendant une périodes d'acquisition où la haute tension était fixée à 8.0*kV. 103

A.1 *Schéma de la machine d'état d'acquisition de HaRDROC1* 108
A.2 *Schéma de la machine d'état de lecture de HaRDROC1* 109

B.1 *Schéma de la machine d'états de séquencement des ASICs* 115
B.2 *Table de vérité de la machine d'états de séquencement des ASICs* 116
B.3 *Premier volet de la simulation RTL de l'entité de gestion du séquencement des ASICs : la phase d'acquisition* 117
B.4 *Second volet de la simulation RTL de l'entité de gestion du séquencement des ASICs : transition entre l'acquisition et la lecture* 118
B.5 *Troisième volet de la simulation RTL de l'entité de gestion du séquencement des ASICs : passage de jeton entre ASICs* 119
B.6 *Quatrième volet de la simulation RTL de l'entité de gestion du séquencement des ASICs : fin de la lecture et début de l'envoi vers l'ordinateur* 120
B.7 *Cinquième et dernier volet de la simulation RTL de l'entité de gestion du séquencement des ASICs : fin de l'envoi des données vers l'ordinateur, ajout du CRC* 121
B.8 *Schéma de la machine d'états de lecture USB* 121
B.9 *Table de vérité de la machine d'états de lecture par USB* 122
B.10 *Simulation RTL du fonctionnement de l'entité de gestion des accès USB en lecture* 122
B.11 *Schéma de la machine d'états finis en charge de l'écriture USB* 123
B.12 *Table de vérité de la machine d'états d'écriture USB* 123
B.13 *Schéma de la machine d'états finis chargée de l'interface avec l'ordinateur par dessus l' USB* 124
B.14 *Table de vérité de la machine d'états chargée de l'interface avec l'ordinateur par dessus l' USB* 124
B.15 *Schéma de la machine d'états de gestion des « accès registre »* 125
B.16 *Table de vérité de la machine d'états de gestion des « accès registre »* 126
B.17 *Premier volet de la simulation RTL du fonctionnement de l'entité de gestion des « accès registre » : accès du registre mode en lecture* 126
B.18 *Second volet de la simulation RTL du fonctionnement de l'entité de gestion des « accès registre » : écriture d'une valeur dans le registre mode* 127
B.19 *Troisième volet de la simulation RTL du fonctionnement de l'entité de gestion des « accès registre » : lecture de la nouvelle valeur affectée au registre mode* 127
B.20 *Schéma de la machine d'états de chargement de la configuration des ASICs* 128

B.21 *Table de vérité de la machine d'états de chargement de la configuration des ASICs* . . . 129
B.22 *Premier volet de la simulation RTL du fonctionnement de l'entité de chargement de la configuration des ASICs : réception depuis le FPGA de la chaîne de configuration* . . . 129
B.23 *Second volet de la simulation RTL du fonctionnement de l'entité de chargement de la configuration des ASICs : fin de la réception, vérification de l'intégrité des données et début du chargement* . . . 130
B.24 *Troisième volet de la simulation RTL du fonctionnement de l'entité de chargement de la configuration des ASICs : fin du chargement de la configuration, rendu du relais* . . . 131
B.25 *Schéma de la machine d'états de vérification de la configuration des ASICs* 132
B.26 *Table de vérité de la machine d'états de vérification de la configuration des ASICs* . . . 133
B.27 *Premier volet de la simulation RTL du fonctionnement de l'entité de vérification de la configuration des ASICs : vidange du registre de configuration et stockage de son contenu* . . . 134
B.28 *Second volet de la simulation RTL du fonctionnement de l'entité de vérification de la configuration des ASICs : passage du stockage au rechargement de la configuration des ASICs* . . . 135
B.29 *Troisième volet de la simulation RTL du fonctionnement de l'entité de vérification de la configuration des ASICs : accès du registre de statut par l'ordinateur pendant le fonctionnement local de la machine d'états* . . . 136
B.30 *Quatrième volet de la simulation RTL du fonctionnement de l'entité de vérification de la configuration des ASICs : fin du rechargement et début de l'envoi des données vers l'ordinateur* . . . 137
B.31 *Troisième volet de la simulation RTL du fonctionnement de l'entité de vérification de la configuration des ASICs : fin de l'envoi des données à l'ordinateur, génération du CRC* . . . 138
B.32 *Schéma de la machine d'états de l'espion* . . . 139
B.33 *Table de vérité de la machine d'états de l'espion* . . . 139

Liste des tableaux

1.1 *Principales caractéristiques du HCAL de l'ILD.* 13

2.1 *Dimension des cellules de détection, nombre de canaux, nombre de câbles et volumes de données attendus dans les barils des différents calorimètres de CALICE.* 27
2.2 *Cahier des charges de l'électronique pour le DHCAL de l'ILD.* 32
2.3 *Liste des signaux de communication entre la partie digitale de l'ASIC HaRDROC1 et l'extérieur.* 36
2.4 *Résultats des mesures de diaphonie entre 2 pistes parallèles (pour part) d'entrées d'ASICs sur un même PCB pour un échelon de 1*V *en entrée dans différentes configuration. Les chiffres pour les capacités parasites sont donnés par les abaques du constructeur.* 51
2.5 *Valeurs des délais à respecter pour un bon fonctionnement du composant USB FTDI FT245.* *(© 2005 FTDI Limited, cf. A.3)* 57
2.6 *Détail de le la structure des trames du protocole d'échange entre le FPGA et l'ordinateur.* 59

A.1 *Numérotation des cellules concernant un ASIC sur le PCB de DHCAL1* . . 110
A.2 *Numérotation des pattes d'entrée du HaRDROC1 correspondant à la cellule de même localisation géométrique sur le PCB de DHCAL1* 111
A.3 *Numérotation des voies d'entrée du détecteur correspondant à la cellule de même localisation géométrique sur le PCB de DHCAL1* 111

Table des matières

Résumé **iii**

Remerciements **v**

Sommaire **vii**

Introduction **1**

1 Le collisionneur linéaire **3**
1.1 Le collisionneur linéaire et sa physique 4
1.1.1 Introduction à l'ILC 4
1.1.2 Le projet de l'ILC en bref 5
1.2 Le détecteur ILD 7
1.2.1 Format général d'un détecteur de physique des particules 7
1.2.2 Caractéristiques de l'ILD 11
1.3 La calorimétrie à l'ILC 13
1.3.1 Généralités sur la calorimétrie 13
1.3.2 Energy flow 15
1.3.3 Le calorimètre électromagnétique Silicium/Tungstène de LDC 16
1.3.4 Le calorimètre hadronique analogique de LDC (AHCAL) 18
1.4 Le calorimètre hadronique semi–digital (DHCAL) 18
1.4.1 Le concept 18
1.4.2 Détecteurs pour un prototype de DHCAL 21
1.4.2.1 Chambre à plaques résistives en verre (GRPC) 21
1.4.2.2 MicroMeGaS 22
1.5 Position du problème 23

2 Électronique du calorimètre hadronique semi–digital **25**
2.1 Cahier des charges pour l'ILC 26
2.2 Contribution au développement de l'ASIC HaRDROC1 29
2.2.1 Généralités 29
2.2.2 Électronique analogique 33
2.2.2.1 Le préamplificateur 33
2.2.2.2 Mise en forme de la voie digitale 33
2.2.2.3 Mise en forme de la voie analogique 33
2.2.2.4 Sorties analogiques 33

2.2.3 Électronique mixte analogique/numérique . . . 34
2.2.3.1 Discrimination du signal . . . 34
2.2.3.2 Les latchs . . . 34
2.2.3.3 Déclenchement interne digital . . . 36
2.2.4 Électronique digitale . . . 36
2.2.4.1 Machine d'états d'acquisition . . . 37
2.2.4.2 Machine d'états de lecture . . . 37
2.2.4.3 Simulations, délais attendus . . . 37
2.2.5 Problématique de la consommation . . . 39
2.2.6 Résistance aux radiations . . . 39
2.2.7 Description de la carte de test de HaRDROC1 . . . 41
2.3 La carte d'électronique DHCAL1 . . . 42
2.3.1 Généralités . . . 42
2.3.2 Réalisation de la schématique . . . 42
2.3.2.1 Choix du composant programmable . . . 43
2.3.2.2 Alimentation de la carte . . . 45
2.3.2.3 USB . . . 46
2.3.2.4 Connexion avec une acquisition analogique externe . . . 47
2.3.3 Réalisation du circuit imprimé . . . 48
2.3.4 Programmation du FPGA . . . 51
2.3.4.1 Architecture globale du microprogramme . . . 51
2.3.4.2 Séquencement des ASICs . . . 54
2.3.4.3 Gestion de l'accès USB . . . 56
2.3.4.4 Protocole d'échange entre le FPGA et un ordinateur . . . 58
2.3.4.5 Paramétrage des ASICs . . . 60
2.3.4.6 Fonctionnalités de test . . . 62
2.3.4.7 Conclusions et discussion . . . 63
2.4 Logiciels de lecture des cartes DHCAL1 . . . 64
2.4.1 Bibliothèque d'accès commandes et registres . . . 64
2.4.1.1 Accès USB . . . 64
2.4.1.2 Entrées/sorties . . . 66
2.4.1.3 Accès direct à la carte et aux ASICs . . . 66
2.4.2 Interface en ligne de commande . . . 67
2.4.3 Librairie partagée pour pilotage sous Labview . . . 68
2.4.4 Conclusion . . . 68

3 Tests et mise en œuvre de la carte DHCAL1 69
3.1 Tests sur table . . . 69
3.1.1 Méthodologie et résultats . . . 69
3.1.1.1 Configuration des ASICs . . . 70
3.1.1.2 Système d'injection de charges . . . 71
3.1.1.3 Acquisition de données numériques . . . 74
3.1.1.4 Discussion . . . 75
3.1.2 Courbes de seuil . . . 76
3.1.3 Lecture analogique . . . 80
3.1.3.1 VTC : un système de lecture analogique . . . 80
3.1.4 Conclusion . . . 86
3.2 Tests avec des cosmiques . . . 86

3.2.1 Quelques considérations sur les RPC . . . 86
3.2.2 Description de l'environnement de test et besoins en développements 89
3.2.3 Réalisations . . . 91
3.2.3.1 Modifications du microprogramme et du logiciel . . . 91
3.2.3.2 Résultats . . . 92
3.3 Tests en faisceau . . . 94
3.3.1 Description de l'environnement de test et besoins en développements 96
3.3.2 Réalisations et mesures . . . 98
3.3.2.1 Temps d'accès USB . . . 98
3.3.2.2 Pilotage à distance . . . 98
3.3.2.3 Analyse des données . . . 100
3.3.3 Conclusion . . . 103

Conclusion **105**

Annexes

A Documents **107**
A.1 Machines d'état de HaRDROC1 . . . 107
A.2 Numérotation des cellules de la carte DHCAL1 . . . 110
A.3 Notice FTDI : droit de copie . . . 112

B Descriptif technique du microprogramme de la carte DHCAL1 **113**
B.1 Séquencement des ASICs . . . 113
B.2 Gestion de l'accès USB . . . 114
Lecture . . . 114
Ecriture . . . 116
B.3 Protocole d'échange entre le FPGA et l'ordinateur . . . 118
Gestion des registres . . . 125
B.4 Paramétrage des ASICs . . . 125
Chargement du contrôle lent . . . 125
Vérification du contrôle lent . . . 131
B.5 Fonctionnalités de test . . . 133
La DAQ analogique . . . 133
L'espion . . . 133

Bibliographie **141**

Liens internet **145**

Table des figures **147**

Liste des tableaux **153**

Table des matières **155**

Glossaire **159**

Acronymes **165**

Glossaire

A

antiparticule	à chaque particule élémentaire correspond une antiparticule. Si elles se rencontrent, elles s'annihilent pour donner de l'énergie pure. Elles ont la même masse que leur particule de matière associée mais pas la même charge.	3, 159, 163
antiproton	antiparticule du proton.	4, 176, 181
antiquark	antiparticule du quark.	5, 161–163

B

bascule RS	bascule **R**eset **S**et. Elément unitaire de mémorisation en électronique. Peut être mis alternativement dans les états logiques 1 ou 0 mais prend un état indéterminé lorsque ses deux entrées sont actives en même temps.	29, 34, 161
boson	particule de spin entier, qui n'obéit pas au principe d'exclusion de Pauli. les particules associées aux interactions fondamentales sont des bosons. Egalement celles avec un nombre pair de quarks.	4, 5, 16

D

drift	électrode d'entraînement sur une MicroMeGaS, la première des deux, pour l'accélération.	22

E

energy flow	procédé de conception en calorimétrie qui consiste à maximiser la résolution en énergie d'un calorimètre afin de pouvoir séparer les traces des particules par leur énergie.	3, 15, 16, 142
erf	fonction d'erreur (**er**ror **f**unction en anglais) avec $\mathrm{erf}(z) = \frac{1}{2\pi}\int_0^z e^{-\zeta^2} d\zeta$, aussi appelée fonction d'erreur de Gauss. Elle décrit la densité de probabilité de la loi normale.	76, 78
Ethernet	protocole de réseau local à commutation de paquets implémentant la couche physique et la sous-couche contrôle des accès médias, classé dans la couche de liaison et repéré par la norme IEEE 802.3, ISO/IEC 8802-3.	98

F

fermion	particule ayant pour spin un multiple de 1/2 et obéissant au principe d'exclusion de Pauli. Les fermions sont les constituants de la matière.	163

G

gluon	particule porteuse de l'interaction forte, il en existe 8 espèces.	4, 15, 160, 161
gray	du nom de l'ingénieur américain F. Gray bien que déjà utilisé par E. Baudot dans les télégraphes en 1878. Code binaire réfléchi, permettant de compter en ne changeant qu'un bit à la fois. Utile pour éviter des erreurs de comptage.	37, 38, 53, 54, 61

H

hadron	particule sensible à l'interaction forte, composée de quarks et de gluons dans le modèle standard.	4, 8, 9, 14–16, 26, 161, 162

hadronisation	manifestation de la force de couleur qui empêche un quark ou un gluon d'apparaître de façon isolée mais plutôt sous la forme de hadrons.	15, 161
Higgs	le boson de Higgs est une particule hypothétique qui tient son nom du physicien Peter Higgs. Son existence est prévue par le modèle standard qui décrit comment chaque particule acquérerait sa masse du champ de Higgs associé. Ce champ serait présent en tout point de l'espace et même dans le vide.	4, 5, 16, 161

J

jet	giclée de particules presque parallèles produites par l'hadronisation d'un quark ou d'un gluon.	15–17, 19

K

kaon	méson composé d'un quark et d'un antiquark parmi lesquels un quark étrange ou un antiquark étrange.	5, 16, 163

L

latch	élément unitaire de mémorisation en électronique. Cela correspond à l'étage d'entrée d'une bascule.	29, 34–38, 51, 55, 60, 74–76, 90
lepton	élément unitaire de la matière avec le quark, sensible à l'interaction faible. Les leptons chargés sont l'électron, le muon et le tau par ordre croissant de masses. Les neutres sont les neutrinos correspondants.	4–7, 39, 162–164, 176
longueur d'interaction	longueur moyenne parcourue par une particule avant une interaction nucléaire.	9, 11, 15, 18, 96

longueur de radiation	distance pour laquelle l'énergie d'un électron est réduite par un facteur $1/e$ pour la perte d'énergie par radiation.	9, 13, 14, 16
luminosité	nombre de particules par centimètre carré par seconde générées dans les faisceaux de collisionneurs. La luminosité est proportionnelle au nombre d'évènements produits pour les études considérées.	6

M

mesh	électrode de grille sur une MicroMeGaS, la deuxième, pour déclencher l'avalanche.	22, 23, 42
muon	lepton de charge électrique -1.	5, 7–11, 15, 69, 86, 87, 96, 102, 161
méson	hadron fait d'un nombre pair de quarks, généralement un quark et un antiquark, de spin nul ou entier.	5, 161, 163

N

neutrino	lepton de charge électrique nulle, de masse quasi-nulle (on a longtemps cru qu'elle l'était) et de spin demi-entier, sensible uniquement à l'interaction faible. Il en existe un par saveur leptonique (électronique, muonique et tauique).	5, 15, 161

P

particle flow	techniques d'analyse et de reconstruction qui consistent à suivre les particules dans leur trajet à travers les différents sous-détecteurs.	16, 18, 94, 104

pion	méson le moins massif, de spin 0, pouvant avoir une charge électrique +, – ou 0. L'échange d'un pion entre les nucléons d'un noyau atomique est responsable de leur attraction réciproque au travers de l'interaction forte.	5, 9, 10, 15, 16, 19, 69, 86–88, 96, 102, 163
positron	antiparticule de l'électron.	3, 5, 9, 14, 173
principe d'exclusion de Pauli	principe spécifiant que deux fermions ne peuvent se trouver dans le même état quantique.	4, 159, 160
push-pull	principe qui consiste à avoir deux détecteurs interchangeables sur la même ligne de croisement de faisceaux.	7, 143

Q

quark	élément unitaire de la matière avec les leptons, sensible aux interactions forte, faible et électromagnétique.	4, 5, 15, 159–163

R

rayon de Molière	caractéristique d'expansion transversale d'une gerbe électromagnétique.	14, 17, 27
rho	méson composé d'un quark et d'un antiquark (bas ou haut ainsi que leurs antiquarks repectifs). Méson le plus léger après le pion et le kaon.	5

S

Sample and Hold	dispositif qui échantillonne le signal sur l'apparition d'un déclenchement externe. A cet instant, il stocke la valeur du signal dans une capacité.	32, 164

slab	dalle, ensemble double face contenant deux circuits imprimés et les éléments de détection accolés.	51, 60, 80, 91
slepton	partenaire supersymétrique d'un lepton, ils en ont chacun un.	6
spin	propriété quantique intrinsèque associée à chaque particule. Permet de caractériser son comportement sous l'effet de la symétrie de rotation de l'espace ∼moment magnétique d'une particule.	4, 5, 159, 160, 162, 163
streamer	serpentin, nom donné au mode de fonctionnement saturé d'une RPC.	103
synchrotron	lorsqu'une particule chargée se déplace de façon non uniforme, elle émet un rayonnement électromagnétique appelé rayonnement synchrotron. Le terme synchrotron désigne également une machine circulaire qui donne une accélération à des particules chargées avec un champ électrique oscillant synchronisé sur le passage des particules. C'est le type de machine utilisée le plus couramment de nos jours (LEP, HERA, TeVatron, LHC).	4, 7, 26, 96, 178, 181

T

tau	le plus lourd des leptons, de charge électrique -1.	5, 161
Track and Hold	dispositif qui suit le signal jusqu'à l'apparition d'un déclenchement externe. A cet instant, il stocke la valeur du signal dans une capacité. La différence vis à vis d'un Sample and Hold est qu'il est limité en fréquence du signal à échantillonner.	32

Acronymes

A

AC/DC	**A**lternative **C**oupled / **D**irect **C**oupled : différents types de couplage électrique (altenatif (AC) ≡ en courant et continu (DC) ≡ en tension).	25, 173
ACFA	**A**sian **C**ommittee for **F**uture **A**ccelerators : collaboration asiatique pour les accélérateurs du futur.	146, 183
ADC	**A**nalog to **D**igital **C**onverter : convertisseur analogique-numérique.	41, 80
AHCAL	**A**nalog **HCAL** : calorimètre hadronique analogique.	3, 27–29, 104, 181
AIP	**A**merican **I**nstitute of **P**hysics : institut de physique des états unis d'Amérique.	142
ALCPG	**A**merican **L**inear **C**ollider **P**hysics **G**roup : groupe nord américain de physique pour le collisionneur linéaire.	146, 183
ALICE	**A L**arge **I**on **C**ollider **E**xperiment : détecteur situé sur le LHC au CERN.	22, 172, 173
AMS	**Austria M**icro**S**ystems : fondeur autrichien.	25, 41, 44

APD	**A**valanche **P**hoto**D**iode : photodiode à avalanche.	27
API	**A**pplication **P**rogramming **I**interface : interface de programmation applicative. Ensemble de fonctions, procédures ou classes mises à disposition des programmes informatiques par une bibliothèque logicielle, un système d'exploitation ou un service.	64, 65, 178
ASIC	**A**pplication **S**pecific **I**ntegrated **C**ircuit : circuit intégré pour application spécifique.	1, 2, 17, 22, 25, 29–33, 35–51, 53–56, 60, 61, 63, 64, 66, 67, 70–86, 90–92, 96–98, 100, 105, 110, 113–121, 125, 128–138, 172, 173, 175, 179–182
ATF	**A**ccelerator **T**est **F**acility : études concernant l'accélération, situé à KEK.	145
ATLAS	**A** **T**oroïdal **L**HC **A**pparatu**S** : détecteur situé sur le LHC au CERN.	146

B

BDS	**B**eam **D**elivery **S**ystem : fourniture du faisceau.	143
BGA	**B**all **G**rid **A**rray : type de boîtier électronique montable en surface. Les interconnexions sont réalisées avec des billes de soudures situées sous le composant.	44, 45
BiCMOS	**Bi**polar **C**omplementary **M**etal **O**xyde **S**emiconductor : technologie de conception de circuit alliant les avantages de la technologie bipolaire à la technologie CMOS. Plus utilisé pour des réalisations analogiques que numériques, où la densité d'intégration n'est pas suffisante.	41

C

CALICE	**CAL**orimeter for the **LI**near **C**ollider **E**xperiment : cf. .	3, 25, 27, 29, 41, 44, 48, 51, 56, 60, 64, 80, 104, 142, 145, 168, 179
CAO	**C**onception **A**ssistée par **O**rdinateur.	49, 52
CCR	**C**onfiguration **C**hange **R**equest : étude de changement de configuration.	143
CDR	**C**onceptual **D**esign **R**eport.	7, 171
CEM	**C**ompatibilié **E**lectro-**M**agnétique : aptitude d'un appareil ou d'un système électrique ou électronique à fonctionner dans son environnement électromagnétique de façon satisfaisante et sans produire lui-même des perturbations électromagnétiques intolérables pour tout ce qui se trouve dans cet environnement.	81

CERC	**C**ALICE **E**CAL **R**ead**O**ut Board : carte de lecture pour l'électronique frontale du ECAL de CALICE.	48
CERN	laboratoire européen de physique des particules à Genève contenant le LHC (originellement **C**onseil **E**uropéen pour la **R**echerche **N**ucléaire).	4, 6, 7, 22, 42, 69, 96, 104, 142, 146, 165, 166, 168, 172, 176, 178
CMOS	**C**omplementary **M**etal **O**xyde **S**emiconductor : technologie de conception de circuit électronique ou un transistor de type N est associé à un transistor de type P, l'un conduisant pendant que l'autre est bloqué.	36, 41, 44, 141, 143, 167, 177
CMS	**C**ompact **M**uon **S**olenoid : détecteur situé sur le LHC au CERN.	7, 8, 13, 17, 22, 27, 28
CNRS	**C**entre **N**ational de la **R**echerche **S**cientifique : organisme de gestion de la recherche française.	175
COB	**C**hip **O**n **B**oard : Circuit intégré nu soudé sur un circuit imprimé.	41
CPLD	**C**omplex **P**rogrammable **L**ogic **D**evice : circuit logique programmable complexe, constitué de macrocellules logiques composées d'un réseau combinatoire de portes logiques simples. Des bascules y sont intégrées mais uniquement dans les blocs d'entrée/sortie. L'avantage de ces composants réside en particulier dans le fait que leur mémoire de configuration soit non volatile.	80

CRC	**C**ircle **R**edundancy **C**heck : contrôle de redondance cyclique.	60, 62, 66, 67, 121, 138
CSV	**C**omma **S**eparated **V**alues : standard de format de fichier, où les données d'une même ligne sont séparées par des virgules ou des points-virgules.	66

D

DAC	**D**igital to **A**nalog **C**onverter : convertisseur numérique-analogique.	34, 39, 51, 71, 78, 80
DAQ	**D**ata **A**c**Q**uisition : acquisition de données.	37, 43, 51, 53, 60, 62, 63, 66, 68, 80, 81, 91, 96, 142
DCM	**D**igital **C**lock **M**anager : gestionnaire d'horloge. Bloc présent dans les FPGA Xilinx contenant des DLL ainsi que des modules permettant de moduler avec précision la phase d'un signal d'horloge.	44, 54, 63, 113
DCR	**D**etector **C**oncept **R**eport.	143
DESY	**D**eutsches **E**lektronen **SY**nchrotron : accélérateur situé en Allemagne à Hambourg.	6, 145, 173

DHCAL	**D**igital **HCAL** : calorimètre hadronique digital.	1, 3, 21, 22, 27–29, 32, 33, 42, 43, 49–53, 55, 62, 64, 65, 67, 69, 71–73, 77, 78, 80–83, 86, 88, 92, 95, 96, 101, 103, 106, 110, 111, 113, 145, 171, 174
DIF	**D**etector **I**nter**F**ace : carte d'électronique d'interface spécifique au détecteur.	142
DLL	**D**elay **L**ocked **L**oop : boucle à verrouillage de délai permettant de réaliser des divisions ou des multiplications de fréquence pour un signal d'horloge.	44, 54, 63, 113, 169
dll	**d**ynamic **l**oaded **l**ibrary : librairie logicielle à chargement dynamique, concept et objet WINDOWS™.	68
DOD	**D**etector **O**utline **D**ocument.	27, 142
DRAM	**D**ynamic **RAM** : mémoire dynamique composée de condensateurs (de l'ordre du picofarad) qui, du fait des courants de fuite de ces derniers, doit être rafraîchie régulièrement (environ toutes les millisecondes).	37, 181

E

ECAL	**E**lectromagnetic **CAL**orimeter : calorimètre électromagnétique.	3, 7, 11, 13, 17, 18, 27–29, 48, 80, 81, 83, 104, 168, 180
ECFA	**E**uropean **C**ommittee for **F**uture **A**ccelerators : collaboration européenne pour les accélérateurs du futur.	141, 146, 183
EDHCAL	**E**uropean DHCAL : calorimètre hadronique digital européen.	145
EDR	**E**ngineering **D**esign **R**eport : étape dans la réalisation d'un projet d'accélérateur en physique des particules (**D**etector **C**oncept **R**eport, **D**etector **O**utline **D**ocument, **T**echnical **D**esign **R**eport, **R**eference **D**esign **R**eport, CDR, EDR).	7, 171
EEPROM	**E**lectrically **E**rasable **P**rogrammable **ROM** : ROM programmable et effaçable électriquement.	46, 64, 67, 70
EUDET	**EU**ropean **DET**ector : projet dont l'organisation est parrainée par l'union européenne qui le finance.	vi, 17, 18, 145
eV	**e**lectron**V**olt : unité de mesure d'énergie correspondant à l'énergie d'un électron initialement au repos et ayant traversé un champ électrique de un Volt ($1\text{eV} = 1.6 \times 10^{-19}\text{J}$).	141, 181

F

FermiLab	**Fermi** national accelerator **Lab**oratory : cf. FNAL.	4, 6, 143, 172, 181

FG	**F**ine-pitch B**G**A : boîtier électronique Xilinx.	44, 172
FGG	**FG Green** : Modèle sans plomb du FG.	44
FIFO	**F**irst **I**n, **F**irst **O**ut : registre de type pile, premier chargé, premier sorti.	46, 47, 56–58, 62–65, 70, 97
FNAL	**F**ermi **N**ational **A**ccelerator **L**aboratory : laboratoire américain situé à Batavia, Illinois, près de Chicago, aussi appelé FermiLab, ou est situé le TeVatron.	4, 6, 143, 146, 171
FPGA	**F**ield **P**rogrammable **G**ate **A**rray : circuit intégré programmable à réseaux de portes logiques.	25, 41–45, 48, 53–59, 61–64, 66, 67, 69–71, 74, 90, 91, 97, 98, 110, 118, 129, 169
FTDI	**F**uture **T**echnology **D**evice **I**nternational Ltd. : fabricant d'ASICs anglais réalisant des adaptations de standards électroniques vers l'USB.	46, 47, 56, 57, 64, 65, 97, 112

G

Gassiplex	**Gas**eous detector **s**ignal **p**rocessor using multip**lex**ed analog outputs : ASIC du CERN développé pour le détecteur RICH HMPID et le spectromètre dimuon d'ALICE.	22
GDE	**G**lobal **D**esign **E**ffort : équipe en charge du projet ILC.	141
GEM	**G**as **E**lectron **M**ultiplier : chambre multiplicatrice d'électrons dans un gaz.	11, 25, 173

GLC	**G**lobal **L**inear **C**ollider : collisionneur linéaire global, ancien nom de GLD.	5, 175
GLD	**G**lobal **L**inear **D**etector : détecteur linéaire global, concept pour l'ILC.	11, 12, 19, 143, 145, 173
GRPC	**G**lass **R**esistive **P**late **C**hamber : RPC à plaques en verre.	21, 23, 32, 42, 87, 89, 93, 95, 104–106
GSFC	**G**oddard **S**pace **F**light **C**enter.	146

H

HaRDROC	**Ha**dronic **R**PC **D**etector **R**ead**O**ut **C**hip : ASIC du LAL pour la lecture des RPC, MicroMeGaS et GEM. Nommé ainsi car prévu pour accepter en entrée des signaux ayant un couplage au choix AC/DC.	25, 29, 30, 32–40, 42, 45, 48, 50, 54, 56, 78, 83–85, 89, 90, 105, 107–111
HCAL	**H**adronic **CAL**orimeter : calorimètre hadronique.	1, 3, 7, 11, 13, 165, 170
HERA	**H**adron **E**lecron **R**ing **A**ccelerator : accélérateur circulaire situé au DESY faisant collisionner des protons avec des électrons ou des positrons à 320 GeV.	7, 164
HMPID	**H**igh **M**omentum **P**article **ID**entification detector : Sous-détecteur de type RICH situé sur l'expérience ALICE.	22, 172

HPD	**H**ybrid **P**hoto**D**iode : photodiode hybride.	27
I		
ICFA	**I**nternational **C**ommittee for **F**uture **A**ccelerators : collaboration internationale pour les accélérateurs du futur.	146, 183
IEEE	**I**nstitute of **E**lectrical and **E**lectronics **E**ngineers, Inc. : institut de l'ingénierie électrique et électronique. Association professionnelle pour la progression de la technologie.	65, 70, 98, 160, 175, 178
IHEP	**I**nstitute for **H**igh **E**nergy **P**hysics : laboratoire Russe situé à Protvino à côté de Moscou, impliqué dans la réalisation du DHCAL européen.	21, 145
ILC	**I**nternational **L**inear **C**ollider : projet international de collisionneur linéaire.	1, 3–6, 11, 16, 19, 26, 27, 36, 39, 51, 141–143, 145, 146, 172–176, 181
ILCSC	**ILC S**teering **C**ommittee : comité de direction de l'ILC.	143
ILD	**I**nternational **L**arge **D**etector concept : cf. 1.2.	1, 3, 11–13, 18, 21, 27–29, 31, 32, 180, 181

IN_2P_3	**I**nstitut de **P**hysique **N**ucléaire et de **P**hysique des **P**articules : institut du CNRS orienté vers la physique nucléaire, la physique des particules et astroparticules, la cosmologie.	v, 22, 25, 68, 175–177
INFN	**I**stituto **N**azionale di **F**isica **N**ucleare : institut national de physique nucléaire italien.	146
INPG	**I**nstitut **N**ational **P**olytechnique de **G**renoble.	141
IPNL	**I**nstitut de **P**hysique **N**ucléaire de **L**yon : laboratoire de l'IN_2P_3.	25, 68, 69, 89, 145
IR	**I**nteraction **R**egion : région d'interaction.	141, 143

J

JINR	**J**oint **I**nstitute for **N**uclear **R**esearch : laboratoire Russe situé à Dubna, dernier en date des sites supposés pour la construction de l'ILC.	6
JLC	**J**apanese **L**inear **C**ollider : collisionneur linéaire japonais, ancien nom de GLC.	5
JTAG	**J**oint **T**est **A**ction **G**roup : nom du groupe qui a développé le standard IEEE 1149.1 en 1990, utilisé pour désigner ce standard. Il comprend la définition d'une interface série permettant de réaliser des tests d'interconnexion sur un circuit imprimé électronique ou dans un ASIC.	70

K

KEK	**K**ou **E**nerugii Butsurigaku **K**enkyusho : en japonais, laboratoire national pour la physique des hautes énergies.	6, 145, 166

L

LAL	**L**aboratoire de l'**A**ccélérateur **L**inéaire : laboratoire de l'IN_2P_3.	25, 29, 41, 42, 64, 145, 173, 179–181
LAPP	**L**aboratoire d'**A**nnecy-le-vieux de **P**hysique des **P**articules : laboratoire de l'IN_2P_3.	22, 145
LCWS	**L**inear **C**ollider **W**ork**S**hop : atelier sur le collisionneur linéaire.	142, 143
LDC	**L**arge **D**etector **C**oncept : concept de grand détecteur, concept pour l'ILC.	11, 12, 16, 18, 27, 145
LECC	**L**HC **E**lectronics **C**oordinating **C**ommittee : groupe responsable de la mutualisation des développements d'électronique pour le LHC, également le nom de la conférence annuelle qu'il a pour mission d'organiser, l'atelier pour l'électronique du LHC et des futurs expériences. Avant 2004, il s'appelait LEB(**L**HC **E**lectronics **B**oard).	142, 182
LEP	**L**arge **E**lectron **P**ositron : l'accélérateur à leptons le plus puissant jamais construit pour le moment, arrêté en 2000.	5, 7, 16, 164
LHC	**L**arge **H**adron **C**ollider : collisionneur circulaire protons/antiprotons au CERN à Genève.	4, 5, 7, 22, 141, 142, 146, 164–166, 168, 176, 181, 182

libROC	librairie pour les puces ROC	64, 65, 68
LIFO	**L**ast **I**n, **F**irst **O**ut : registre de type pile, dernier chargé, premier sorti.	37
LLR	**L**aboratoire **L**eprince **R**inguet : laboratoire commun à l'IN_2P_3 et à l'école polytechnique.	v, 29, 80, 145
LQFP	**L**ow-profile **Q**uad **F**lat **P**ack : standard de boîtier électronique montable en surface.	47
LVCMOS	**L**ow **V**oltage **CMOS** : standard électronique bas niveau.	36, 44
LVDS	**L**ow **V**oltage **D**ifferential **S**ignaling : standard électronique différentiel bas niveau.	36, 39, 44, 45, 81

M

MicroMeGaS	**MicroMe**sh **Ga**seous **S**tructure : détecteur gazeux possédant deux électrodes pour l'amplification du signal.	11, 22, 25, 32, 33, 42, 104, 106, 159, 162, 173
MIP	**M**inimum **I**onising **P**article : particule au minimum d'ionisation. Particule d'énergie relativiste dont la quantité d'énergie déposée dans un matériau par unité de longueur est une constante pour un matériau donné ($2\,\mathrm{MeV}/(\,\mathrm{g}/\,\mathrm{cm}^2)$).	79, 86–88
MOS	**M**etal **O**xyde **S**emiconductor : type de transistor qu'on peut facilement utiliser dans un mode de fonctionnement bloqué/saturé.	39
MPPC	**M**ulti **P**ixel **P**hoton **C**ounter : compteur à photons multi–pixels. Photodétecteur multi–pixel opéré en mode Geiger.	18

MRQW	**M**icroelectronics **R**eliability & **Q**ualification **W**orkshop.	142, 143
N		
NASA	**N**ational **A**eronautics and **S**pace **A**dministration : institut national américain d'aéronautique et d'espace.	146
O		
OTA	**O**perationnal **T**ransimpedance **A**mplifier : amplificateur opérationnel transimpédance.	34, 41, 48, 83
P		
PCB	**P**rinted **C**ircuit **B**oard : circuit imprimé.	49, 51, 69, 74, 76, 92, 110, 111
PCI	**P**eripheral **C**omponent **I**nterconnect : Standard de bus local d'interconnexion dans un ordinateur.	80, 98
PID	**P**roduct **ID**entification number : identifiant unique de produit, terme générique lié à l'utilisation d'un matériel dans un environnement système.	46
PM	**P**hoto**M**ultiplier : Photomultiplicateur.	89, 92
POSIX	**P**ortable **O**perating **S**ystem **I**nterface : famille de standards d'API logicielles définie depuis 1988 par l'IEEE, désignée formellement IEEE 1003. Le X exprime l'héritage UNIX de ces interfaces.	65
PS	**P**roton **S**ynchrotron : synchrotron à proton, accélérateur circulaire situé au CERN.	96

R

RAM	**R**andom **A**ccess **Memory** : mémoire à accès aléatoire, dont on peut adresser les cases individuellement.	37, 43, 45, 55, 170, 181
RAZ	**R**emise **A** **Z**éro.	113
RDR	**R**eference **D**esign **R**eport.	26
RICH	**R**ing **I**maging **C**erenkov : anneau à imagerie par effet Cerenkov, technique d'imagerie.	22, 172, 173
ROC	**R**ead**O**ut **C**hip : dénomination donnée aux ASIC développés par le LAL pour les calorimètres de .	64, 177
ROM	**R**ead **O**nly **Memory** : mémoire à accès en lecture uniquement. L'avantage de ce type de mémoire est qu'elle conserve les informations contenues même une fois l'alimentation coupée.	46, 171
RPC	**R**esistive **P**late **C**hamber : chambre à plaques résistives, détecteur gazeux.	11, 21, 22, 25, 42, 69, 78–80, 86, 88, 94, 95, 102, 103, 146, 164, 173
RS-422	**R**ecommended **S**tandard 422 : standard américain d'électronique différentiel formellement connu sous le nom ANSI/TIA/EIA-422-B.	81

RTL	**R**egister **T**ransfert **L**evel : niveau de description de logique numérique ne prenant en compte que les bibliothèques de technologie globales et pas les bibliothèques constructeurs, ni les délais amenés par le placement et le routage.	56, 114, 117–122, 126, 127, 129–131, 134–138

S

SCSI	**S**mall **C**omputer **S**ystem **I**nterface : standard de connectique électrique pour la norme X3.131.	43, 48, 81, 182
SEE	**S**ingle **E**vent **E**ffect : évènements isolés causés par des particules fortement ionisantes qui créent des défaillances fonctionnelles temporaires ou définitives. Egalement appelés Soft error (erreur logicielle).	39, 44, 180
SEU	**S**ingle **E**vent **U**pset : type de SEE qui consiste en un aléa logique.	39, 44, 53
SiGe	**Si**licium **Ge**rmanium : alliage de matériaux semiconducteurs.	41
SiPM	**Si**licon **P**hoto**M**ultiplier : photomultiplicateur en silicium. Photodétecteur multi–pixel opéré en mode Geiger.	12, 18, 181
SKIROC	**S**ilicon **K**alorimeter **I**ntegrated **R**ead**O**ut **C**hip : ASIC du LAL pour la lecture des détecteurs en silicium du ECAL de ILD.	29
SLAC	**S**tanford **L**inear **A**ccelerator **C**enter : laboratoire américain situé à San Francisco comportant un accélérateur linéaire (le SLC).	146
so	**s**hared **o**bject : librairie logicielle partagée, concept et objet unix.	68

SPI	**S**erial **P**eripheral **I**nterface : bus de donnée série synchrone ayant un schéma maître-esclaves et permettant un fonctionnement en Full Duplex.	70
SPIROC	**S**ilicon **P**M **I**ntegrated **R**ead**O**ut **C**hip : ASIC du LAL pour la lecture des SiPM du AHCAL de ILD.	29
SRAM	**S**tatic **RAM** : mémoire statique constituée de bascules, par opposition aux mémoires dynamiques DRAM composées de condensateurs.	37, 39

T

TDC	**T**ime to **D**igital **C**onverter : convertisseur temps-numérique.	18
TDR	**T**echnical **D**esign **R**eport.	143
TESLA	**T**eV **E**nergy **S**uperconducting **L**inear **A**ccelerator : Collaboration technologique pour l'ILC.	141, 143, 145
TeV	**T**era**e**lectron**V**olt : un billion d'électronVolt (eV).	141, 143, 181
TeVatron	**T**era **e**lectron **V**olt **a**ccelerator synchro**tron** : collisionneur circulaire protons/antiprotons le plus puissant au monde avant la construction du LHC, situé au FermiLab.	4, 6, 7, 164, 172
TID	**T**otal **I**onising **D**ose : charge ionisante totale induite par une radiation. Le type d'évènement attendus est la création de paires électron/trou.	39
TLU	**T**rigger **L**ogic **U**nit : unité logique de gestion de déclenchement ; génération de signaux de déclenchement selon des relations logiques, coïncidence, veto et état d'occupation (busy) des systèmes de lecture des détecteurs.	97

TPC	**T**ime **P**rojection **Chamber** : trajectographe à projection en temps.	11
TWEPP	**T**opical **W**orkshop on **E**lectronics in **P**article **P**hysics : atelier sur l'actualité de l'électronique pour la physique des particules, ancien atelier pour l'électronique du LHC et des futurs expériences (LECC).	142

U

USB	**U**niversal **S**erial **B**us : standard de communication électronique (bus, contrôleur).	41–43, 46, 47, 53, 56–67, 70, 71, 90–92, 97, 98, 105, 114, 116, 118, 119, 121–124, 172
UTA	**U**niversity of **T**exas **A**rlington : laboratoire américain, base du WWS.	146

V

VHDCI	**V**ery **H**igh **D**ensity **C**able **I**nterconnect : standard introduit dans la norme SCSI-3 qui permet d'avoir 4 connecteurs à l'arrière d'une unique carte de PC.	48, 80
VHDL	**V**ery High Speed Integrated Circuit **H**ardware **D**escription **L**anguage : langage de description matériel de haut niveau, utilisé entre autres choses pour la réalisation de la partie digitale d'ASICs ou de composants programmables	54, 56, 60, 63, 64

VID	**V**endor **ID**entification number : identifiant unique de vendeur, terme générique lié à l'utilisation d'un matériel dans un environnement système.	46
VTC	**V**FE **T**iming **C**ontrol : carte de lecture des cartes frontales.	80, 81, 83–86, 92

W

WWS	**W**orld **W**ide **S**tudy of the physics and detectors for Future e^+e^- linear colliders : comité de coordination entre les principales collaborations pour les accélérateurs du futur (ICFA, ECFA, ACFA, ALCPG).	146, 182

X

XCO	**X**tal **C**ontrolled **O**scillator : oscillateur contrôlé par un cristal, permettant de faire une régulation de la fréquence de pulsation de ce dernier.	47